

# SYNCHRONOUS SEMICONDUCTOR STORAGE

Publication number: JP2000076852

Publication date: 2000-03-14

Inventor: KATO YOICHI; OISHI TSUKASA

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- International: G11C11/407; G06F1/12; H03L7/00; H03L7/099;  
G11C11/407; G06F1/12; H03L7/00; H03L7/08; (IPC1-7): G11C11/407; G06F1/12; H03L7/00; H03L7/099

- european:

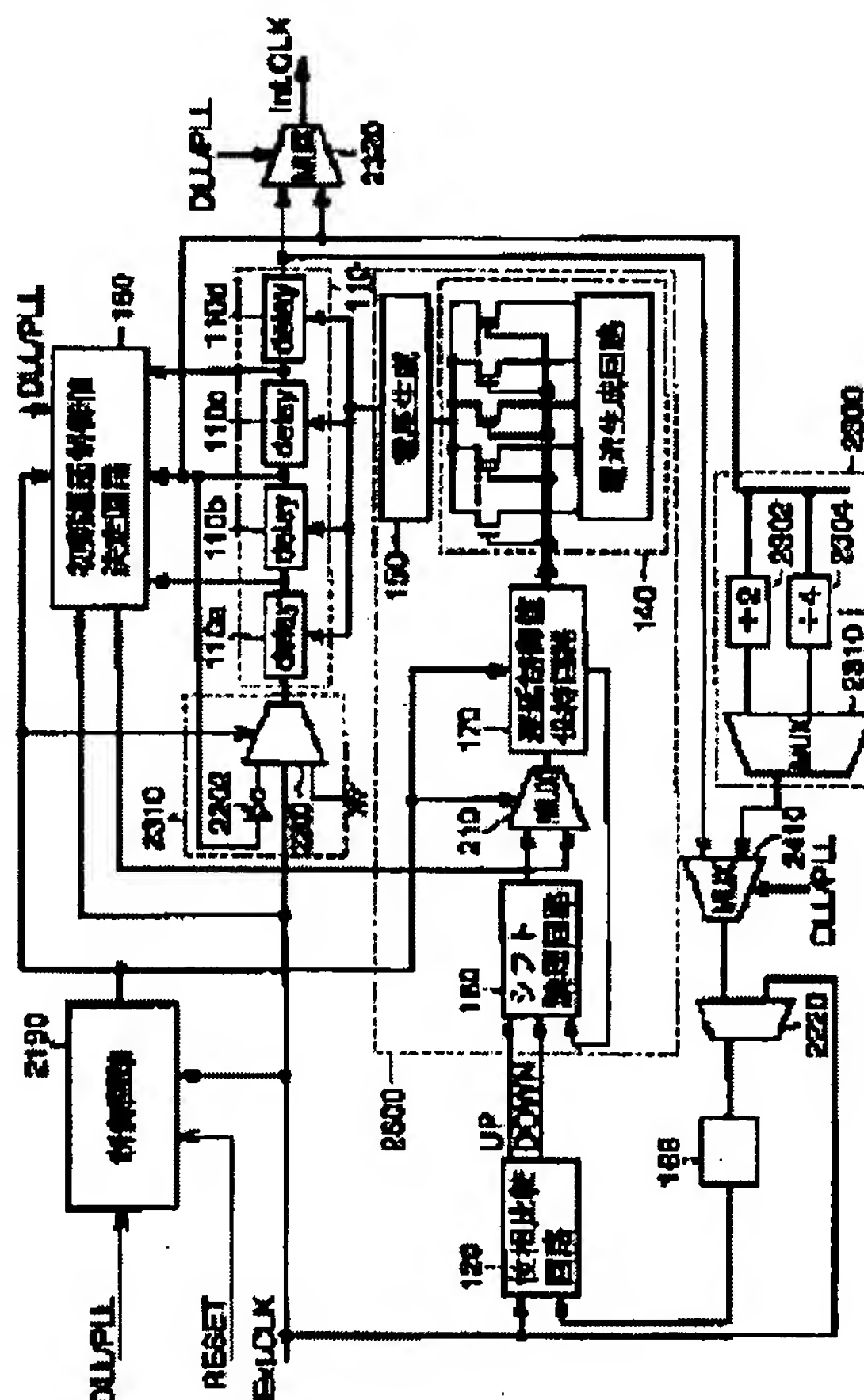
Application number: JP19980239163 19980825

Priority number(s): JP19980239163 19980825

Report a data error here

## Abstract of JP2000076852

**PROBLEM TO BE SOLVED:** To provide a synchronous semiconductor storage with an internal synchronization signal generation circuit capable of switching between a DLL circuit operation and a PLL circuit operation.  
**SOLUTION:** In a DLL operation mode, a delay locked loop circuit is constituted of a variable delay circuit 110, a phase comparison circuit 120, a shift logic circuit 180, a delay control value retention circuit 170, a variable constant current circuit 140, and a voltage generation circuit 150. In a PLL operation mode, a signal that is obtained by inverting a signal from the central part of the variable delay circuit 110 by an inverter 2202 is fed to the input of the variable delay circuit 110, thus a ring oscillator, is constituted.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-76852  
(P2000-76852A)

(43) 公開日 平成12年 3 月14日 (2000.3.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
G 1 1 C	11/407	G 1 1 C 11/34	3 6 2 S 5 B 0 2 4
G 0 6 F	1/12	H 0 3 L 7/00	D 5 J 1 0 6
H 0 3 L	7/00	G 0 6 F 1/04	3 4 0 A
	7/099	G 1 1 C 11/34	3 5 4 C
		H 0 3 L 7/08	F
審査請求 未請求 請求項の数 8 O L (全 36 頁)			

(21) 出願番号 特願平10-239163

(22) 出願日 平成10年 8 月25日 (1998.8.25)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 加藤 陽一

東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内

(72) 発明者 大石 司

東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外 3 名)

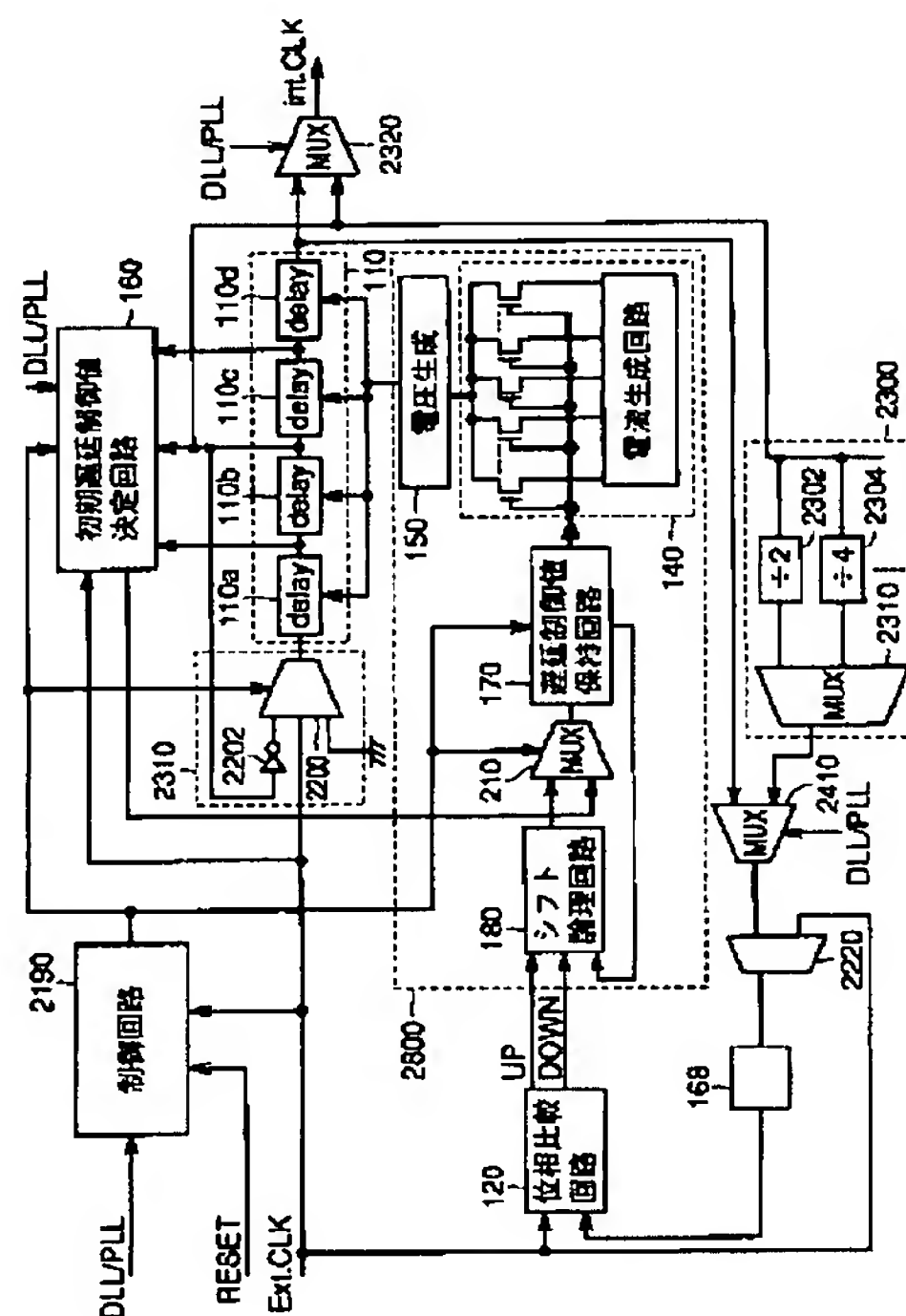
最終頁に続く

(54) 【発明の名称】 同期型半導体記憶装置

(57) 【要約】

【課題】 D L L 回路動作と P L L 回路動作を切換えることが可能な内部同期信号発生回路を備える同期型半導体記憶装置を提供する。

【解決手段】 D L L 動作モードでは、可変遅延回路 1 1 0 と、位相比較回路 1 2 0 と、シフト論理回路 1 8 0 と、遅延制御値保持回路 1 7 0 と、可変定電流回路 1 4 0 と、電圧生成回路 1 5 0 とによりディレイロックドループ回路が構成される。P L L 動作モードでは、可変遅延回路 1 1 0 の中央部からの信号をインバータ 2 2 0 2 で反転した信号が可変遅延回路 1 1 0 の入力に与えられ、リングオシレータが構成される。



## 【特許請求の範囲】

【請求項 1】 外部クロック信号に同期して、外部からアドレス信号と制御信号とを受け、かつ外部との間で記憶データを授受する同期型半導体記憶装置であって、行列状に配置される複数のメモリセルを有するメモリセルアレイと、前記制御信号に応じて、前記同期型半導体記憶装置の動作を制御する制御回路と、前記アドレス信号に応じて前記メモリセルを選択し、選択されたメモリセルとの間で前記記憶データの授受を行うセル選択回路と、前記外部クロック信号に同期した内部クロック信号を出力する内部同期信号発生回路とを備え、前記内部同期信号発生回路は、入力された信号を遅延する直列に接続された複数の内部遅延回路を有する可変遅延回路と、前記複数の内部遅延回路のうちの所定の内部遅延回路からの出力の反転信号と前記外部クロック信号とを受けて、選択的に前記可変遅延回路に与える第 1 の切換回路と、前記所定の内部遅延回路からの出力信号と前記可変遅延回路からの出力とを受けて、選択的に前記内部クロック信号として出力する第 2 の切換回路と、前記可変遅延回路を伝達する信号に対応する信号と前記外部クロック信号との位相を比較する位相比較回路と、前記位相比較回路の比較結果に応じて、位相が同期するように前記可変遅延回路の遅延量を制御する位相制御回路とを含み、前記セル選択回路は前記内部クロック信号に同期して動作する、同期型半導体記憶装置。

【請求項 2】 前記所定の内部遅延回路の出力を受けて、所定の分周比で分周する分周回路と、前記分周回路の出力信号と前記可変遅延回路の出力信号とを受けて、選択的に一方を出力する第 3 の切換回路とをさらに備え、前記位相比較回路は、前記第 3 の切換回路の出力信号と前記外部クロック信号との位相を比較する、請求項 1 記載の同期型半導体記憶装置。

【請求項 3】 前記可変遅延回路は、互いに直列に接続された、 $2m$  個 ( $m$ : 自然数) の前記内部遅延回路を含み、前記所定の内部遅延回路は、 $m$  番目の前記内部遅延回路である、請求項 1 または 2 記載の同期型半導体記憶装置。

【請求項 4】 前記位相制御回路は、前記位相比較回路からの出力に応じて、保持している前記遅延量を更新する記憶回路と、前記記憶回路に保持された前記遅延量に応じて、前記可変遅延回路の遅延時間を制御する遅延制御回路とを含む、請求項 1 記載の同期型半導体記憶装置。

【請求項 5】 前記位相制御回路は、前記外部クロック信号の前記可変遅延回路内の遅延量を検出し、前記遅延量の初期値を決定して前記記憶回路に与える遅延検出回路をさらに含み、前記遅延検出回路は、前記遅延検出回路の動作を制御する検出制御回路と、前記外部クロック信号を受け、前記検出制御回路に制御されて前記外部クロック信号の 1 周期分のテスト信号を選択的に前記可変遅延回路に供給する第 1 の選択回路と、前記テスト信号が所定の時間中に前記複数の内部遅延回路のいずれにまで伝播したかを検出し、前記遅延量の初期値を決定する遅延測定回路と、前記比較回路と前記記憶回路との間に設けられ、前記比較回路の出力と前記遅延検出回路の出力とを受けて、前記検出制御回路に制御されていずれかを選択的に前記記憶回路に与える第 2 の選択回路とを含む、請求項 1 記載の同期型半導体記憶装置。

【請求項 6】 前記遅延制御回路は、前記記憶回路に保持された前記遅延量に応じて制御電流を生成する可変定電流回路を含み、前記可変定電流回路は、所定の電流値を  $I$  とし、 $j$  および  $k$  を自然数とするとき、複数の第 1 の定電流源を有し、前記第 1 の定電流源のうち  $j$  番目の第 1 の定電流源は、 $2^{j-1} \times I$  の電流を生成し、複数の第 2 の定電流源をさらに有し、前記第 2 の定電流源のうち  $k$  番目の第 2 の定電流源は、 $I / 2^k$  の電流を生成し、前記記憶回路に保持された前記遅延量に応じて、前記第 1 の定電流源からの電流および前記第 2 の定電流源からの電流を選択的に合成して前記制御電流を生成する電流合成回路をさらに有し、前記可変遅延回路の遅延時間は、前記制御電流値に応じて制御される、請求項 4 記載の同期型半導体記憶装置。

【請求項 7】 各前記内部遅延回路は、信号遅延時間が動作電流値に応じて変化する直列に接続された複数のバッファ回路を含み、前記遅延制御回路は、前記制御電流値を前記バッファ回路の動作電流値を制御する参照電圧に変換する電圧生成回路をさらに含む、請求項 6 記載の同期型半導体記憶装置。

【請求項 8】 前記位相比較回路は、基準クロック信号が与えられる第 1 の内部ノードと、比較対象のクロック信号が与えられる第 2 の内部ノードと、前記第 1 および第 2 の内部ノードからの信号を比較する比較回路と、前記第 3 の切換回路の出力信号と前記外部クロック信号



とを受けて、前記第1の内部ノードに所定レベルの信号を与え、前記第2の内部ノードに前記外部クロック信号を与える第1の状態と、前記第1の内部ノードに前記外部クロック信号を与え、前記第2の内部ノードに前記第3の切換回路の出力信号を与える第2の状態とを切換える入力制御手段とを含む、請求項2記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、特に、外部クロック信号に同期して動作する同期型半導体記憶装置に関する。より特定的には、外部クロック信号を受けて、同期した内部クロック信号を発生するDLL (Delay Locked Loop) 回路のような内部同期信号発生回路を有する半導体記憶装置に関する。

【0002】

【従来の技術】近年のマイクロプロセッサ（以下、MPUと称す）の動作速度の向上に伴い、主記憶装置として用いられるダイナミックランダムアクセスメモリ（以下、DRAMと称す）等の高速アクセスを実現するために、クロック信号に同期して動作する同期型DRAM（シンクロナスDRAM；以下、SDRAMと称す）等が用いられている。このような、外部クロック信号に同期して動作する半導体記憶装置においては、半導体記憶装置内部に、外部クロック信号に同期した内部クロック信号を発生するためのPLL回路やDLL回路等が搭載されていることが一般的である。

【0003】図45は、特開平9-293374号公報に開示された従来の内部同期信号発生回路5000の構成を示す概略ブロック図である。

【0004】図45を参照して、同期信号発生回路3000は、外部クロック信号Ext. CLKを受けて、所定の時間遅延して出力する遅延回路5110と、外部クロック信号Ext. CLKおよび遅延回路5110の出力を受けて、両者の位相差を検出する位相比較器5120と、位相比較器5120の検出結果に応じて、定電流源スイッチ信号CSを出力するスイッチ用デコーダ5130と、信号CSを受けて、対応する定電流値を供給する可変定電流源回路5140と、可変定電流源回路5140の出力する定電流値に応じて、遅延回路5110の遅延量を制御する制御信号を出力する遅延制御回路5150とを含む。

【0005】遅延回路5110は、n段のカスケード接続されたインバータ回路Inv. 1～Inv. nを含む。各インバータ回路Inv. i (i=1, 2, …n) は、各々pチャネルMOSトランジスタP1iを介して電源電位Vccと結合し、nチャネルMOSトランジスタN1iを介して接地電位GNDと結合する。各pチャネルMOSトランジスタP1iのゲート電位レベルおよびnチャネルMOSトランジスタN1iのゲート電位レ

ベルは、遅延制御回路5150により制御される構成となっている。

【0006】すなわち、遅延回路5110を構成するインバータ回路Inv. 1～Inv. nに供給される電流値は遅延制御回路5150により制御される。言い換えれば、各インバータ回路Inv. i (i=1, 2, …n) における遅延時間は、遅延制御回路5150からの制御信号により変化する構成となっている。

【0007】可変定電流源回路5140は、m個の内部定電流源回路CS11, CS21, …CSm1と、m個の内部定電流源回路CS12, CS22, …CSm2とを含む。定電流源回路CS11は、一端が電源電位Vccと接続し、他端定電流源スイッチ信号CSにより開閉されるスイッチ回路SW11を介して出力ノード5140aと接続している。

【0008】その他の定電流源回路CS21, …CSm1は、同様にそれぞれ一端が電源電位Vccと接続し、他端はスイッチ回路SW21, …SWm1をそれぞれ介して出力ノード5140aと接続している。

【0009】一方、内部定電流源回路CS12, CS22, …, CSm2も、それぞれ一端は、定電流源スイッチ信号CSにより制御されて開閉するスイッチ回路SW12, SW22, …, SWm2を介して出力ノード5140aと接続し、他端は、それぞれ電源電位GNDと接続している。

【0010】したがって、出力ノード5140aに供給される定電流値はスイッチ回路SW11, SW21, …, SWm1が導通状態となることにより増加し、スイッチ回路SW12, SW22, …, SWm2がそれぞれ導通状態となることにより減少する構成となっている。

【0011】したがって、定電流源スイッチ信号CSの値に応じて、スイッチ回路SW11, SW21, …, SWm1およびスイッチ回路SW12, SW22, …, SWm2が開閉されることで、対応する定電流値が5140aに出力され、この定電流値に応じて、後に説明するように遅延制御回路5150が動作することになる。

【0012】可変定電流源回路5140は、さらに、常時出力ノード5140aに対して、所定の定電流値を供給するフリーラン用電流源144を含む。すなわち、スイッチ回路SW11～SWm1およびSW12～SWm2がすべて非導通状態となっている場合でも、常に一定のフリーラン用電流が出力ノードに供給される構成となっている。

【0013】遅延制御回路5150は、出力ノード5140aとドレインが、接地電位GNDとソースが接続するnチャネルMOSトランジスタN31と、ソースが接地電位GNDと、ゲートがnチャネルMOSトランジスタN31のゲートと接続するnチャネルMOSトランジスタN32とを含む。nチャネルMOSトランジスタN31のドレインとゲートは接続されており、nチャネル

10

20

30

40

50

MOSトランジスタN31とN32とでカレントミラー回路を構成している。

【0014】遅延制御回路5150は、さらに、ソースが電源電位Vccと、ドレインがnチャネルMOSトランジスタN32のドレインと接続するpチャネルMOSトランジスタP31を含む。nチャネルMOSトランジスタN32のゲートと、遅延回路5110のnチャネルMOSトランジスタN11～N1nのゲートとが接続し、これらnチャネルMOSトランジスタN11～N1nを流れるドレイン電流値がカレントミラー回路を構成するnチャネルMOSトランジスタN31およびN32を流れる電流値により制御される。

【0015】一方、pチャネルMOSトランジスタP31のゲートと遅延回路5110中のpチャネルMOSトランジスタP11～P1nのゲートとが接続している。ここで、pチャネルMOSトランジスタP31のゲートとドレインとが接続されているため、pチャネルMOSトランジスタP31とP11とでカレントミラー回路を構成している。したがって、pチャネルMOSトランジスタP11～P1nのそれぞれに流れるドレイン電流は、pチャネルMOSトランジスタP31に流れるドレイン電流、すなわち、カレントミラー回路を構成するnチャネルMOSトランジスタN31およびN32に流れるドレイン電流値と同一の値となる構成となっている。

【0016】したがって、遅延回路110を構成するインバータ回路Inv. 1～Inv. nの各々に供給される電流値は、可変定電流源回路140の出力ノード140aに供給される電流値により制御される。

【0017】次に、内部同期信号発生回路3000の動作について簡単に説明する。まず、外部クロック信号Ext. CLKの1周期の時間に対して、遅延回路5110の遅延時間が小さい場合について考える。この場合、外部クロック信号Ext. CLKを受けて、遅延回路5110から出力される信号は、外部クロック信号Ext. CLKに比べて位相が進んでいることになる。位相比較器5120において検出された、上記位相差に応じて、スイッチ用デコーダ5130は、遅延回路5110から出力される信号の位相の進みを遅らせるように、定電流源スイッチ信号CSにより、可変定電流源回路5140を制御して、出力ノード5140aに出力される定電流値を減少させる。これに応じて、nチャネルMOSトランジスタN31およびN32より構成されるカレントミラー回路を流れるドレイン電流値が減少し、遅延回路5110を構成する各インバータ回路Inv. i (i = 1, 2, … n) に供給される電流値も減少する。

【0018】したがって、インバータ回路Inv. 1～Inv. nの遅延時間が増大し、外部クロック信号Ext. CLKを受けて、遅延回路5110から出力される信号の位相が遅れることになる。

【0019】すなわち、外部クロック信号Ext. CLK

Kの位相と、遅延回路5110から出力される信号との位相差は、両者が同期する方向に変化することになる。

【0020】一方、遅延回路5110の遅延時間が、外部クロック信号Ext. CLKの1周期の時間よりも大きい場合は、上記と逆の動作を行なうことで、外部クロック信号Ext. CLKと、遅延回路5110から出力される内部クロック信号Int. CLKとが同期することになる。

【0021】

10 【発明が解決しようとする課題】しかしながら、従来の内部同期信号発生回路5000は上記のように構成されていたので、以下に述べるような問題点があった。

【0022】すなわち、DLL回路等は、外部クロック信号と内部クロック信号とが同期し始めた後にはじめて使用可能になる。しかし、位相合わせの精度を高めるために遅延制御値がとりうる範囲を大きくした場合、同期動作が完了するまでの時間が長くなってしまいう問題点がある。

20 【0023】また、DLL回路等の遅延時間の制御を行うにあたり、遅延制御値をたとえばシフトレジスタで保持した場合、ビット数が多くなり、2進数表記で保持した場合は、ビット数は少なくなるものの、デコード回路素子数が多くなり、速度も遅くなるという問題があった。

30 【0024】以上では、DLL回路を例にとって説明したが、上述したとおり、同期型DRAM (SDRAM) のような外部クロック信号に同期して動作する半導体記憶装置においては、半導体記憶装置内部に、外部クロック信号に同期した内部クロック信号を発生させるためのPLL回路やDLL回路等が搭載されることが一般的である。

【0025】DLL回路では、外部クロック信号と遅延段を通過したクロック信号（以下、内部クロック信号と称する）との位相を等しくさせる。そのためには、DLL回路は、遅延量が制御可能な遅延段回路および遅延段制御回路を用い、外部クロック信号と内部クロック信号との位相が位相比較器により比較され、その結果が遅延段制御回路に与えられる構成となっている。

40 【0026】すなわち、現時点での遅延量を遅延段制御回路が保持しておき、位相比較器の比較結果に応じて、現在の遅延量から遅延量の設定値を増加または減少させることで、内部クロック信号の位相を外部クロック信号に近づけるようにする。このような構成により、外部クロック信号と内部クロック信号との位相が等しくなった時点で、位相比較器からは遅延量を増加させる信号も減少させる信号も出ない状態となって、DLL回路は、いわゆるロック状態になる。

50 【0027】一方、PLL回路では、外部クロック信号と、自励発振している内部クロック信号との位相を等しくさせる。すなわち、クロック信号の発生には電圧制御



型の発振回路を用い、位相比較器が内部クロック信号と外部クロック信号の位相を比較し、その比較結果に応じて、電圧制御発振回路の発振周波数を調整することで、両者の位相を合わせる構成となっている。

【0028】ここで、メモリの容量が大きなチップになるほど、チップ内部を伝達する信号、特にチップ全体の動作を制御するためのクロック信号のスキューが大きくなり、チップの動作周波数を制限することになる。

【0029】特に、外部から入力される基準クロック信号をクロックバッファで受信した後、そのクロック信号をもとに、アドレスやデータ、コマンドの受信を実施する場合には、受信したクロック信号を各アドレスやデータ、コマンドの入力端まで分配する必要がある、それに要する遅延がチップの性能を制限することになる。

【0030】同時に、データ出力の際にも、出力バッファをクロックをもとに制御する場合には、クロックスキューの分だけ出力が遅延することになり、出力データのマージンを損なうことになる。このようなクロックスキューの影響を低減させるために、上述したようなDLL回路が使用される。

【0031】さらに、たとえば、チップのテスト動作等においては、比較的低い周波数の外部クロック信号入力を使って、チップ内部においては高周波動作をさせる必要が生じている。そのためには、内部で高周波を発生させる回路が必要となる。このような高周波の内部クロック信号を発生させるための回路としては、一般にはPLL回路が使用される。ところが、上述したとおり、クロックスキューの低減のために、DLL回路が搭載されているチップに、PLL回路をさらに搭載させる構成とすると、それだけエリアペナルティが大きくなってしまいうという問題があった。

【0032】本発明は、上記のような問題点を解決するためになされたものであって、その目的は、位相合わせの精度を上げた場合でも同期動作の完了までの時間を短縮することが可能な内部同期信号発生回路を備える同期型半導体記憶装置を提供することである。

【0033】この発明の他の目的は、遅延回路の遅延量の制御に2進数表記の遅延制御値を用いた場合でも回路素子数の増加を抑制し高速な遅延時間制御が可能な内部同期信号発生回路を備える同期型半導体記憶装置を提供することである。

【0034】この発明のさらに他の目的は、チップ面積の増大を抑制しつつ、外部クロック信号に同期した内部クロック信号および外部クロック信号よりも周波数の高い内部クロック信号を生成させることが可能な内部同期信号発生回路を備える同期型半導体記憶装置を提供することである。

【0035】

【課題を解決するための手段】請求項1記載の同期型半導体記憶装置は、外部クロック信号に同期して、外部か

らアドレス信号と制御信号とを受け、かつ外部との間で記憶データを授受する同期型半導体記憶装置であって、行列状に配置される複数のメモリセルを有するメモリセルアレイと、制御信号に応じて、同期型半導体記憶装置の動作を制御する制御回路と、アドレス信号に応じてメモリセルを選択し、選択されたメモリセルとの間で記憶データの授受を行うセル選択回路と、外部クロック信号に同期した内部クロック信号を出力する内部同期信号発生回路とを備え、内部同期信号発生回路は、入力された信号を遅延する直列に接続された複数の内部遅延回路を有する可変遅延回路と、複数の内部遅延回路のうちの所定の内部遅延回路からの出力の反転信号と外部クロック信号とを受けて、選択的に可変遅延回路に与える第1の切換回路と、所定の内部遅延回路からの出力信号と可変遅延回路からの出力とを受けて、選択的に内部クロック信号として出力する第2の切換回路と、可変遅延回路を伝達する信号に対応する信号と外部クロック信号との位相を比較する位相比較回路と、位相比較回路の比較結果に応じて、位相が同期するように可変遅延回路の遅延量を制御する位相制御回路とを含み、セル選択回路は内部クロック信号に同期して動作する。

【0036】請求項2記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成に加えて、所定の内部遅延回路の出力を受けて、所定の分周比で分周する分周回路と、分周回路の出力信号と可変遅延回路の出力信号とを受けて、選択的に一方を出力する第3の切換回路とをさらに備え、位相比較回路は、第3の切換回路の出力信号と外部クロック信号との位相を比較する。

【0037】請求項3記載の同期型半導体記憶装置は、請求項1または2記載の同期型半導体記憶装置の構成に加えて、可変遅延回路は、互いに直列に接続された、2m個(m：自然数)の内部遅延回路を含み、所定の内部遅延回路は、m番目の内部遅延回路である。

【0038】請求項4記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成に加えて、位相制御回路は、位相比較回路からの出力に応じて、保持している遅延量を更新する記憶回路と、記憶回路に保持された遅延量に応じて、可変遅延回路の遅延時間を制御する遅延制御回路とを含む。

【0039】請求項5記載の同期型半導体記憶装置は、請求項1記載の同期型半導体記憶装置の構成に加えて、位相制御回路は、外部クロック信号の可変遅延回路内の遅延量を検出し、遅延量の初期値を決定して記憶回路に与える遅延検出回路をさらに含み、遅延検出回路は、遅延検出回路の動作を制御する検出制御回路と、外部クロック信号を受け、検出制御回路に制御されて外部クロック信号の1周期分のテスト信号を選択的に可変遅延回路に供給する第1の選択回路と、テスト信号が所定の時間中に複数の内部遅延回路のいずれにまで伝播したかを検

出し、遅延量の初期値を決定する遅延測定回路と、比較回路と記憶回路との間に設けられ、比較回路の出力と遅延検出回路の出力とを受けて、検出制御回路に制御されていずれかを選択的に記憶回路に与える第2の選択回路とを含む。

【0040】請求項6記載の同期型半導体記憶装置は、請求項4記載の同期型半導体記憶装置の構成に加えて、遅延制御回路は、記憶回路に保持された遅延量に応じて制御電流を生成する可変定電流回路を含み、可変定電流回路は、所定の電流値を $I$ とし、 $j$ および $k$ を自然数とするとき、複数の第1の定電流源を有し、第1の定電流源のうち $j$ 番目の第1の定電流源は、 $2^{j-1} \times I$ の電流を生成し、複数の第2の定電流源をさらに有し、第2の定電流源のうち $k$ 番目の第2の定電流源は、 $I/2^k$ の電流を生成し、記憶回路に保持された遅延量に応じて、第1の定電流源からの電流および第2の定電流源からの電流を選択的に合成して制御電流を生成する電流合成回路をさらに有し、可変遅延回路の遅延時間は、制御電流値に応じて制御される。

【0041】請求項7記載の同期型半導体記憶装置は、請求項6記載の同期型半導体記憶装置の構成に加えて、各内部遅延回路は、信号遅延時間が動作電流値に応じて変化する直列に接続された複数のバッファ回路を含み、遅延制御回路は、制御電流値をバッファ回路の動作電流値を制御する参照電圧に変換する電圧生成回路をさらに含む。

【0042】請求項8記載の同期型半導体記憶装置は、請求項6記載の同期型半導体記憶装置の構成に加えて、位相比較回路は、基準クロック信号が与えられる第1の内部ノードと、比較対象のクロック信号が与えられる第2の内部ノードと、第1および第2の内部ノードからの信号を比較する比較回路と、第3の切換回路の出力信号と外部クロック信号とを受けて、第1の内部ノードに所定レベルの信号を与え、第2の内部ノードに外部クロック信号を与える第1の状態と、第1の内部ノードに外部クロック信号を与え、第2の内部ノードに第3の切換回路の出力信号を与える第2の状態とを切換える入力制御手段とを含む。

【0043】

【発明の実施の形態】図1は、本発明の実施の形態の同期型半導体記憶装置1000の構成を示す概略ブロック図である。

【0044】図1を参照して、同期型半導体記憶装置1000は、外部制御信号入力端子群10を介して与えられる外部クロック信号 $E_{xt}$ 、 $CLK$ および外部制御信号 $/RAS$ 、 $/CAS$ 、 $/W$ 、 $/CS$ 等を受けて、内部制御信号を発生するコントロール回路20と、メモリセルが行列状に配列されるメモリセルアレイ100とを備える。

【0045】メモリセルアレイ100は、図1に示すと

おり、全部で16個のメモリセルブロック100a~100pに分割配置されている。たとえば、同期型半導体記憶装置1000の記憶容量が1Gビットである場合、各メモリセルブロックは64Mビットの容量を有する。各ブロックは、独立にバンクとして動作し得る構成となっている。

【0046】アドレス信号入力端子群12を介して与えられる外部アドレス信号 $A_0 \sim A_i$ は、コントロール回路20の制御のもとに、アドレスバス50aおよび50bを介してアドレスドライバ52に伝達される。アドレスドライバ52からさらにアドレスバス50cを介して、アドレス信号は各メモリセルブロックに伝達される。

【0047】同期型半導体記憶装置1000は、さらに、メモリセルブロックの対ごとに設けられ、コントロール回路20の制御のもとに、アドレスバス50cにより伝達された行アドレスをラッチし、プリデコードする行プリデコーダ36と、行プリデコーダ36からの出力をもとに選択されたメモリセルブロックの対応する行（ワード線）を選択するロウデコーダ44と、メモリセルブロックごとに設けられ、コントロール回路20の制御のもとに、アドレスバス50cにより伝達された列アドレスをラッチし、プリデコードするプリデコーダ34と、プリデコーダ34からの出力をもとにさらに列アドレスのプリデコードを行うコラムプリデコーダ40と、コラムプリデコーダ40からの出力をもとに選択されたメモリセルブロックの対応する列（ビット線対）を選択するコラムデコーダ42とを含む。

【0048】同期型半導体記憶装置1000は、さらに、チップ中央部の長辺方向に沿う領域であって、外部制御信号入力端子群10およびアドレス信号入力端子群12の設けられる領域の外側に、それぞれ配置されるデータ入出力端子 $DQ_0 \sim DQ_{15}$ および $DQ_{16} \sim DQ_{31}$ と、データ入出力端子 $DQ_0 \sim DQ_{31}$ にそれぞれ対応して設けられる入出力バッファ回路14a~14fと、入出力バッファと対応するメモリセルブロックとの間でデータの伝達を行うデータバス54と、メモリセルブロック100a~100pにそれぞれ対応して設けられ、データバス54と選択されたメモリセル列との間でデータの授受を行うリード/ライトアンプ38とを含む。

【0049】外部制御信号入力端子群10へ与えられる信号 $/RAS$ は、半導体記憶装置の内部動作を開始させ、かつ内部動作の活性期間を決定するロウアドレスストローブ信号である。この信号 $/RAS$ の活性化に応じて、ロウデコーダ44等のメモリセルアレイ100の行を選択する動作に関連する回路は活性状態とされる。外部制御信号入力端子群10へ与えられる信号 $/CAS$ は、コラムアドレスストローブ信号であり、メモリセルアレイ100における列を選択する回路を活性状態とす



る。

【0050】外部制御信号入力端子群10へ与えられる信号／CSは、この同期型半導体記憶装置1000が選択されることを示すチップセレクト信号であり、信号／Wは、同期型半導体記憶装置1000の書き込み動作を指示する信号である。

【0051】同期型半導体記憶装置1000は、さらに、クロック信号入力端子16に与えられる外部クロック信号Ext. CLKを受け、コントロール回路20により制御されて同期動作を開始し、内部クロック信号int. CLK1および内部クロック信号int. CLK2を出力する内部同期信号発生回路2018を含む。

【0052】信号／CS、信号／RAS、信号／CASおよび信号／Wの取込動作は、内部クロック信号int. CLK1に同期して行なわれる。

【0053】また、アドレス信号入力端子群12に与えられるアドレス信号の取込動作やデータ入出力端子DQ0～31を介してのデータの授受も内部クロック信号int. CLK1に同期して行なわれる。

【0054】同期型半導体記憶装置1000の内部回路、たとえば、ロウデコーダ44やコラムデコーダ42の動作は、内部クロック信号int. CLK2に同期して行われる。

【0055】冗長列選択回路30は、アドレス信号が予め保持する欠陥ビット列アドレスに相当するときは、冗長列の選択を行い、冗長行選択回路32は、アドレス信号が予め保持する欠陥ビット行アドレスに相当するときは、冗長行の選択を行う。

【0056】〔内部同期信号発生回路2018の構成の詳細〕図2は、本発明の実施の形態1の内部同期信号発生回路2018の構成を示す概略ブロック図である。

【0057】クロック生成回路2100は、制御信号TMDLPLに応じて、外部クロック信号Ext. CLKを受けて遅延させ、外部クロック信号Ext. CLKに同期する内部クロック信号を生成するDLL回路として動作するモードと、PLL回路として動作し、外部クロック信号Ext. CLKに同期し、かつ外部クロック信号Ext. CLKを逡倍した周波数の内部クロック信号を生成する動作モードとを切替える。

【0058】すなわち、クロック生成回路2100からは、外部クロック信号Ext. CLKと同一の周期を有し、これと同期するクロック信号RFCKOが出力される。DLL回路としての動作モードにおいては、クロック生成回路2100は、外部クロック信号Ext. CLKと同一の周期を有し、かつこれに同期した信号DPCKOを出力する。

【0059】さらに、クロック生成回路2100がPLL回路として動作するモードにおいては、信号RFCKOは、外部クロック信号Ext. CLKと同一の周期を有し、かつこれに同期する信号である点で、DLL回路

として動作するモードと同様であるが、信号DPCKOは、外部クロック信号Ext. CLKを逡倍した周波数を有する信号が出力される。

【0060】マルチプレクサ2186は、外部クロック信号Ext. CLKと信号DPCKOとを受けて、いずれかをSDRAMの内部回路、たとえば、行選択動作や列選択動作を行なう回路動作を制御するための内部クロック信号int. CLK2として出力する。

【0061】一方、マルチプレクサ2220は、信号RFCKOと、外部クロック信号Ext. CLKとを受けて、いずれか一方を選択的に出力する。

【0062】クロックツリー168は、マルチプレクサ2190からの出力を受けて、たとえば、アドレス信号入力端子に対応して設けられているアドレス入力バッファの動作を制御するための内部クロック信号int. CLK1を出力する。

【0063】後に説明するように、このクロックツリー168からの出力信号が、クロック生成回路2100に与えられ、クロック生成回路2100は、クロックツリー168からの入力信号RFCKと、外部クロック信号Ext. CLKとの同期動作を行なう。

【0064】ここで、たとえばSDRAM1000が、チップ内のクロック信号のスキューが問題とならない程度の低い周波数で動作している場合には、たとえば内部回路の動作を制御するための第2の内部クロック信号int. CLK2として、外部クロック信号Ext. CLKがマルチプレクサ2186を介してそのまま内部回路に与えられ、一方、制御信号を取込む制御信号入力端子群10に対応して設けられている入出力バッファに与えられるクロック信号int. CLK1として、外部クロック信号Ext. CLKがマルチプレクサ2220を介して、そのまま出力される。

【0065】一方、後に説明するように、SDRAM1000の動作周波数が高く、内部クロック信号のチップ内部でのスキューが問題となる場合には、第1の内部クロック信号int. CLK1および第2の内部クロック信号int. CLK2とも、クロック生成回路2100から出力される、外部クロック信号Ext. CLKに同期した信号がそれぞれ用いられることになる。

【0066】図3は、第1の内部クロック信号int. CLK1を外部制御信号入力端子群10中の入力端子に、それぞれ分配する構成（以下、クロックツリー168と呼ぶ）を示す概念図である。

【0067】図3を参照して、クロック信号入力端子に与えられた外部クロック信号Ext. CLKおよびその相補信号である／Ext. CLKは、バッファ回路150および152を介して、内部同期信号発生回路2018に与えられる。

【0068】内部同期信号発生回路2018から出力される内部クロック信号int. CLK1は、まず、バッ

10

20

30

40

50



ファ回路70に与えられる。

【0069】バッファ回路70の出力は、順次2分割され、最終的に8つのクロック信号に分割される。この8つのクロック信号は、それぞれ、配線78a～78hに与えられる。配線78a～78hのそれぞれの端部から供給されるクロック信号に同期して、外部制御信号入力端子群10からの外部制御信号の取込が行なわれる。ここで、バッファ回路70～78hは、たとえば、それぞれ2段のインバータにより構成される。

【0070】配線78hの端部からのクロック信号は、レプリカバッファ回路62および遅延調整回路64を介して、外部同期信号生成回路2018に与えられる。

【0071】内部同期信号生成回路2018は、遅延調整回路64からの出力とバッファ回路150から与えられる外部クロック信号Ext. CLKの位相を同期させて、第1の内部クロック信号int. CLK1を生成する。

【0072】ここで、遅延調整回路64が存在しない場合を想定すると、バッファ回路150とレプリカバッファ回路62とは同様の構成を有するので、バッファ回路150に与えられる外部クロック信号ext. CLKと、レプリカバッファ回路62に与えられる配線78h上のクロック信号との位相が等しくなるように調整されることになる。ここで、配線78h上のクロック信号と、他の配線78a～78g上のクロック信号の位相も等しくなっている。

【0073】すなわち、外部制御信号の取込動作は、外部クロック信号ext. CLKに同期して行なわれることになる。

【0074】さらに、図3においては、外部制御信号入力端子群10に対する内部クロック信号int. CLK1の分配の構成について説明しているが、同様の構成が、たとえばアドレス信号入力端子群12に対応して設けられている。このような構成とすることで、アドレス信号の取込も外部クロック信号ext. CLKに同期して行なわれることになる。

【0075】図4は、図3に示した内部同期信号生成回路2018とクロックツリー168との構成をより詳細に説明するための概略ブロック図である。

【0076】同期信号生成回路2018は、差動増幅器150からの出力と遅延調整回路64からの出力とを受けて、両者の位相を比較する位相比較回路120と、位相比較回路120からの出力に応じて、可変遅延回路110の遅延量を制御する位相制御回路2800を含む。

【0077】ここで、可変遅延回路110は、各々の遅延時間が位相制御回路2800からの遅延制御信号により制御される、互いに直列に接続された複数段の遅延回路を含む。

【0078】内部同期信号生成回路2018は、さら

に、内部同期信号生成回路2018がDLL回路として動作する場合には、差動増幅器150からの出力を可変遅延回路110に与え、内部同期信号生成回路2018がPLL回路として動作する場合には、可変遅延回路110に含まれる複数段の遅延回路の中間点からの出力信号の反転信号を可変遅延回路110の入力として与えるマルチプレクサ2310と、DLL回路として動作する場合には可変遅延回路110の出力をマルチプレクサ2186に与え、PLL回路として動作する場合には、可変遅延回路110に含まれる複数の遅延回路のうち、中央の遅延回路からの出力をマルチプレクサ2186に与えるマルチプレクサ2320とを含む。

【0079】分周部2300は、可変遅延回路110に含まれる複数の遅延回路のうちの中央の遅延回路からの出力を受けて、所定の分周比で分周した信号を出力する。

【0080】マルチプレクサ2410は、分周部2300の出力と可変遅延回路110の出力とを受けて、いずれか一方を選択的に出力する。

【0081】マルチプレクサ2220は、差動増幅器150からの出力と、マルチプレクサ2410からの出力とを受けて、いずれか一方を選択的に内部クロック信号int. CLK1として出力する。

【0082】マルチプレクサ2186は、差動増幅器150の出力とマルチプレクサ2320の出力とを受けて、いずれか一方を選択的にクロックドライバ2154に与える。

【0083】すなわち、図4に示した構成では、内部同期信号生成回路2018は、アドレス信号と外部制御信号の取込動作に対する内部クロック信号int. CLK1および内部回路の動作を制御するための第2の内部クロック信号int. CLK2を供給する構成となっている。

【0084】また、高速動作モード（たとえばテスト動作モード）においては、この内部同期信号生成回路2018はDLL動作モードからPLL動作モードに変化するため、以下ではこの内部同期信号生成回路2018のことをDPLL回路と呼ぶことにする。

【0085】そして、高速動作モード時に外部から入力されるクロックの周波数を整数倍する際の倍率は、特に限定されないが、たとえば、2倍または4倍であるものとする。

【0086】また、アドレス信号と外部制御信号の取込動作は、内部クロック信号int. CLK1の立上がりエッジにおいて行なわれるものとする。

【0087】なお、内部同期信号生成回路2018が、DLL回路として動作するモードにおいて、その出力信号であるint. CLK1をデータの入出力の制御に用いる構成としてもよいし、高速動作モード時に外部から入力されるクロックの周波数を整数倍する際の倍率は、

8倍や16倍あるいはそれ以上とすることも可能である。

【0088】以下では、内部同期信号生成回路2018の通常動作について簡単に説明する。

【0089】可変遅延回路110の出力は、クロックドライバ2154により内部回路に分配される。あるいは、差動増幅回路（入力バッファ）150を通った外部クロック信号Ext. CLKは、マルチプレクサ2186により選択され、クロックドライバ2154で駆動力が増加されて、内部回路系に制御信号の基準信号として分配される。

【0090】また、差動増幅器150の出力は、マルチプレクサ2310により選択されて、可変遅延回路110のトリガ信号として入力される。

【0091】通常動作においては、可変遅延回路110の出力は、マルチプレクサ2410および2220により優先的にクロックツリー168に与えられる。

【0092】マルチプレクサ2220を経てドライバ回路191で駆動力を増加したクロック信号は、クロックツリー168を介して外部制御信号入力端子群10に分配される。クロックツリー168により分配された内部クロック信号int. CLK1の位相は、いずれの外部制御信号入力端子に対してもほぼ同一となるように制御されている。

【0093】クロックツリー168を通過したクロック信号は、クロック信号の入力バッファのレプリカバッファである62を経て、位相比較器120に入力される。

【0094】位相比較器120では、このレプリカバッファからの内部クロック信号int. CLK1と、差動増幅器150からの外部クロック信号との位相が比較される。

【0095】次に、高速動作モード時の動作について説明する。この場合、可変遅延回路110は、その総遅延量の半分の遅延量を有する遅延回路からの出力が、マルチプレクサ2310により選択され、外部クロック信号の代わりに可変遅延回路110の入力に与えられる。したがって、可変遅延回路110は閉ループを形成することになる。

【0096】ここでは、マルチプレクサ2310中には、高速動作モード時に選択される経路中に、インバータ1段分の回路が含まれており、このインバータ2202の存在により、可変遅延回路およびこのインバータ回路2202で構成されるループ内に含まれる遅延段が奇数段になるように構成される。したがって、このループはリングオシレータを構成し、自走発振を開始する。

【0097】以上の構成において、可変遅延回路110の総遅延量の半分の部位からの出力を取出すこととしたのは、リング発振器の1周期分の遅延量と可変遅延回路110の遅延量とを等しくするためである。このリング発振器の出力は、分周部2300を通り1/4の周波数

にされた後、マルチプレクサ2410および2220により選択され、クロックツリー168を介して、アドレス信号入力端子群および外部制御信号入力端子群に対して分配される。このアドレス信号入力端子群あるいは外部制御信号入力端子群に供給される内部クロック信号int. CLK1と外部クロック信号との周期の位相が合うように、位相比較器120および位相制御回路2800により可変遅延回路110の遅延量が制御される。

【0098】したがって、位相が合っている状態においては、リング発振器の出力は、外部クロック信号ext. CLKの4倍の周波数となっている。

【0099】この4倍周波数の内部クロック信号int. CLK2が、マルチプレクサ2320およびマルチプレクサ2186により選択され、クロックドライバ2154により駆動力が増加されて、内部回路系に制御信号として分配される。

【0100】すなわち、このような動作モードでは、外部クロック信号Ext. CLKの周波数が高くない場合においても、内部回路自体は高速動作を行なうことが可能である。

【0101】図5は、図4に示した位相制御回路2800、マルチプレクサ2310および可変遅延回路110の構成をより詳しく説明するための概略ブロック図である。

【0102】可変遅延回路110中の第2の遅延回路110bの出力は、マルチプレクサ2310に与えられ、初期遅延制御値を決定する動作モードにおいては、マルチプレクサ2310中の切換回路2200は、外部クロック信号Ext. CLKあるいは接地電位のいずれかを制御回路2190により制御されて、選択的に出力する。これに対して、PLL動作モードにおいては、切換回路2200は、遅延回路100bからの出力を受けるインバータ2202の出力を選択的に可変遅延110中の遅延回路110aに与える。

【0103】また、マルチプレクサ回路2320は、制御回路2190により制御されて、DLL動作モードにおいては、可変遅延回路110からの出力を、PLL動作モードにおいては、可変遅延回路110中の遅延回路110bからの出力を、それぞれ選択的に出力する。

【0104】また、PLL動作モードにおいては、分周回路2300中の、分周回路2302、2304等のうちの、所定の分周比を有する分周器からの出力信号が、マルチプレクサ2310により選択されて出力される。ここで、図5においては、分周器2302は、分周比2の分周器であり、分周器2304は、分周比4の分周器である。

【0105】DLL動作モードにおいては、マルチプレクサ2410は、可変遅延回路110からの出力を内部クロック信号int. CLK1として出力し、PLL動作モードにおいては、マルチプレクサ2410は、マル



チプレクサ2310から出力される分周後の信号を内部クロック信号int. CLK1として出力する。

【0106】すなわち、DLL動作モードにおいても、PLL動作モードにおいても、位相比較器120において外部クロック信号ext. CLKにより比較される内部クロック信号int. CLK1は、外部クロック信号ext. CLKと同一の周期を有している。PLL動作モードにおいては、遅延回路110bから出力され、分周される前のクロック信号が、マルチプレクサ2320により選択されて、第2の内部クロック信号int. CLK2として出力されることになる。

【0107】図6は、図5に示した内部同期信号発生回路2018の動作を説明するためのフローチャートである。

【0108】図6を参照して、まず、内部同期信号発生回路2018の動作が開始されると（ステップS200）、遅延制御値保持回路170に保持される遅延制御値は、制御回路2190に制御されて、遅延制御値を最大値、つまり遅延量を最小にする値に設定される。続いて、制御回路2190は、マルチプレクサ2310を制御して、可変遅延回路110に接地電位レベルの信号を与え、可変遅延回路110内の信号レベルをクリアする（ステップS202）。

【0109】次に、遅延制御値保持回路170に保持される遅延制御値は、制御回路2190に制御されて、遅延制御値を最小値、つまり遅延量を最大にする値に設定される（ステップS204）。

【0110】制御回路2190は、マルチプレクサ2310を制御して、可変遅延回路110に対して、外部クロック信号ext. CLKを1パルス分、テスト信号として入力させる（ステップS206）。

【0111】初期遅延制御値決定回路160は、外部クロック信号ext. CLKの1周期分の時間に、テスト信号が遅延回路110a～110dのうちのいずれまでに伝達したかを検出する（ステップS208）。

【0112】続いて、初期遅延制御値決定回路160は、DLL動作時には、ステップS208で検出した値から遅延制御値の初期値を決定する。一方、PLL動作時には、遅延制御値の初期値を所定の固定値に決定する（ステップS210）。

【0113】続いて、制御回路2190は、マルチプレクサ210を制御して、決定された遅延制御中の初期値を遅延制御値保持回路170に格納させる（ステップS212）。

【0114】以後は、制御回路2190は、マルチプレクサ210およびマルチプレクサ2310を制御して、DLL動作時には可変遅延回路110へ外部クロック信号を与え、PLL動作時には、可変遅延回路110の中央部からフィードバックしてくる信号を反転させた信号を可変遅延回路110の入力部に与える。

【0115】以上のような設定を行なった後、制御回路2190は、遅延制御値保持回路170にシフト論理回路180の出力を与える。これにより、DLL動作モードにおいては、可変遅延回路110と、位相比較器120と、シフト論理回路180と、遅延制御値保持回路170と、可変定電流回路140と、電圧生成回路150とにより構成されるディレーロックループ回路により、内部クロック信号int. CLK1と外部クロック信号ext. CLKとの位相合わせ制御が行なわれる（ステップS214）。

【0116】一方、PLL動作モードにおいては、可変遅延回路110中の遅延回路110aおよび110bとマルチプレクサ2310中のインバータ2202とにより構成されるリングオシレータと、位相比較器120と、シフト論理回路180と、遅延制御値保持回路170と、可変定電流回路140と、電圧生成回路150と、分周部2300とにより構成されるフェーズロックループ回路により、この分周部2300により分周された信号と、外部クロック信号ext. CLKとの位相合わせ制御が行なわれる（ステップS214）。

【0117】図7は、図5に示した内部同期信号発生回路2018のDLL動作をより詳しく説明するためのタイミングチャートである。

【0118】図5、6および7を参照して、まず、時刻t0において、コントロール回路20から内部同期信号発生回路2018に与えられる信号TMDLPLが“L”レベルとなることで、DLL動作が指定される。すなわち、信号TMDLPLは、DLL動作あるいはPLL動作のいずれを選択するかを指示するための信号である。

【0119】続いて、時刻t1において、コントロール回路20からのリセット信号MRSTCが活性状態（“L”レベル）となり、これに応じて制御回路2190から出力される信号FDRSTが“H”レベル、信号FTRSTCが活性状態（“L”レベル）となる。信号FTRSTCが活性状態であることに応じて、遅延制御値保持回路170中に保持された遅延制御値の2進表記におけるビットデータのbit0～bit7は、すべて信号FDRSTのレベルに対応した“H”レベルとなる。すなわち、遅延制御値は最大の値にリセットされることになる。このとき、マルチプレクサ2310は、接地電位レベルの信号を選択しており、可変遅延回路110内の信号レベルはリセットされる。

【0120】つづいて、時刻t2における外部クロック信号ext. CLKの立ち上がりに対応して、信号FDRSTが“L”レベルとなる。これに応じて、信号FTRSTCのレベルが“L”レベルを維持しているために、遅延制御値のbit0～bit7は、すべて“L”レベルにリセットされる。すなわち、遅延制御値は最小値にリセットされる。時刻t3において、信号FTRST



TCは、“H”レベルに復帰する。

【0121】時刻 $t_3 \sim t_4$ の期間は、内部同期信号発生回路2018は待機状態にある。時刻 $t_4$ における外部クロック信号Ext. CLKの立下りに応じて、信号FFRSTCが“H”となり、初期遅延制御値決定回路160の状態がリセットされる。同時に、信号FDLSTPが活性状態（“H”レベル）となり、マルチプレクサ2310が外部クロック信号Ext. CLKを通過させる状態となる。

【0122】時刻 $t_5$ における外部クロック信号Ext. CLKの立ち上がりに応じて、初期遅延制御値決定回路160が、可変遅延回路110中のテスト信号の伝播の検出動作を行う外部クロック信号Ext. CLKの1周期分の時間が開始する。

【0123】時刻 $t_6$ における外部クロック信号Ext. CLKの立下りに応じて、信号FDLSTPが不活性状態（“L”レベル）となって、マルチプレクサ2310は再び接地レベルの信号を選択する状態となる。すなわち、時刻 $t_5 \sim t_6$ の期間の外部クロック信号Ext. CLKが、テスト信号として、マルチプレクサ2310を通過して、可変遅延回路110に与えられる。

【0124】時刻 $t_7$ における外部クロック信号Ext. CLKの立下りの時点で、初期遅延制御値決定回路160は、可変遅延回路110中の遅延回路110a～110dのいずれにまでテスト信号が伝達したかを検出する。

【0125】時刻 $t_7$ において、信号FTLATが活性状態（“H”レベル）となるのに応じて、初期遅延制御値決定回路160の決定した遅延制御値の初期値が、マルチプレクサ210を経由して遅延制御値保持回路170に格納される。

【0126】信号FDLSTPが、活性状態となって切換え回路2200が外部クロック信号Ext. CLKを選択して通過させる状態となった後、時刻 $t_9$ における外部クロック信号Ext. CLKの立ち上がりに応じて、信号FPFDが活性状態（“H”レベル）となって、以後は、マルチプレクサ210がシフト論理回路180からの出力を選択する状態となる。

【0127】つまり、可変遅延回路110と、位相比較回路120と、シフト論理回路180と、遅延制御値保持回路170と、可変定電流回路140と、電圧生成回路150とにより構成されるディレイロックドループ回路により、内部クロック信号int. CLKと外部クロック信号Ext. CLKとの位相合わせ制御が行われる。

【0128】図8は、図5に示した内部同期信号発生回路2018のPLL動作をより詳しく説明するためのタイミングチャートである。

【0129】図5、6および8を参照して、まず、時刻 $t_0$ において、コントロール回路20から内部同期信号

発生回路2018に与えられる信号TMDLPLが“H”レベルとなることで、PLL動作が指定される。

【0130】続いて、時刻 $t_1$ において、コントロール回路20からのリセット信号MRSTCが活性状態（“L”レベル）となり、これに応じて制御回路2190から出力される信号FDRSTが“H”レベル、信号FTRSTCが活性状態（“L”レベル）となる。信号FTRSTCが活性状態であることに応じて、遅延制御値保持回路170中に保持された遅延制御値の2進表記におけるビットデータのbit0～bit7は、すべて信号FDRSTのレベルに対応した“H”レベルとなる。すなわち、遅延制御値は最大の値にリセットされることになる。このとき、マルチプレクサ2310は、接地電位レベルの信号を選択しており、可変遅延回路110内の信号レベルはリセットされる。

【0131】つづいて、時刻 $t_2 \sim t_8$ の期間の動作は、DLL動作時と同様である。ただし、PLL動作では、遅延制御値保持回路170には、初期データとして固定データが代入されるため、この期間の動作は、PLL動作とは関係がない。

【0132】時刻 $t_7 \sim t_8$ において、信号FTLATが活性状態（“H”レベル）となるのに応じて、遅延制御値の初期値が、遅延制御値保持回路170に格納される。

【0133】信号FDLSTPが、活性状態となって切換え回路2200が外部クロック信号Ext. CLKを選択して通過させる状態となった後、時刻 $t_9$ における外部クロック信号Ext. CLKの立ち上がりに応じて、信号FPFDが活性状態（“H”レベル）となって、以後は、マルチプレクサ210がシフト論理回路180からの出力を選択する状態となる。

【0134】つまり、可変遅延回路110a、110bと、マルチプレクサ2310と、分周部2300と、位相比較回路120と、シフト論理回路180と、遅延制御値保持回路170と、可変定電流回路140と、電圧生成回路150とにより構成されるフェイズロックドループ回路により、内部クロック信号int. CLKと外部クロック信号Ext. CLKとの位相合わせ制御が行われる。

【0135】[DLL動作とPLL動作の切換えの原理]以下では、図2に示したクロック生成回路2100が、DLL動作モードとPLL動作モードとを切換えて動作する原理について、簡単に説明する。

【0136】図9は、クロック生成回路2100中の可変遅延回路110の動作を模式的に示す概念図である。図9においては、信号SRCLKが可変遅延回路110に入力し、所定の遅延時間 $\tau_d$ だけ遅延した後、信号DSTCLKとして出力されることを示している。

【0137】図10は、図9において説明した入力信号SRCLKと出力信号DSTCLKとの関係を示すタ

10

20

30

40

50

イミングチャートである。すなわち、時刻 $t_0$ において、可変遅延回路110に入力した信号SRCLKの立上りエッジは、時刻 $t_0$ から時間 $\tau_d$ だけ遅延した時刻 $t_1$ において、信号DSTCLKの立上りのエッジとして出力される。

【0138】このとき、信号SRCLKの1周期の時間と遅延時間 $\tau_d$ とが一致するように可変遅延回路110が制御されていれば、信号SRCLKと信号DSTCLKとは同期し、可変遅延回路110を含む回路は、DLL回路として動作することになる。

【0139】図11は、可変遅延回路110を含むリングオシレータの構成の一例を示す概略ブロック図である。

【0140】すなわち、可変遅延回路110の出力信号DSTCLKは、インバータ2201により反転され、入力信号SRCLKとして可変遅延回路110に与えられる。

【0141】このような構成により、自走発振を行うリングオシレータが形成される。図12は、このようなリングオシレータの動作を説明するためのタイミングチャートである。可変遅延回路110は、図9において説明したのと同様の遅延時間 $\tau_d$ を有する状態に設定されているものとする。また、可変遅延回路110での遅延時間 $\tau_d$ に比べて、インバータ2201での信号の遅延時間を無視することとすると、時刻 $t_0$ において、信号SRCLKが立ち上がったのに応じて、時刻 $t_0$ から時間 $\tau_d$ だけ経過した後の時刻 $t_1$ において、信号DSTCLKが立上り、この立ち上がった信号DSTCLKを反転した信号が信号SRCLKとして、可変遅延回路110の入力に与えられる。

【0142】すなわち、図10において、外部から与えられたクロック信号を信号SRCLKとして受けて時間 $\tau_d$ だけ遅延し、信号DSTCLKとして出力していた場合と比べると、図12においては、信号DSTCLKの周期は2倍になっている。これは、可変遅延回路110を2回信号が通過することで、1周期分の信号が生成されるためである。

【0143】したがって、図11のような構成とする場合、DLL動作モードからPLL動作モードに変更した場合、外部クロック信号Ext. CLKとの同期状態を維持するためには、可変遅延回路110の遅延量を約1/2にまで調整することが必要となる。このことは、たとえば、DLL動作モードからPLL動作モードに変更した後に同期状態となるまでの時間が増大したり、あるいは、可変遅延回路110を制御する回路の規模を大きくすることが必要となることを意味する。

【0144】図13は、可変遅延回路110を含むリングオシレータの構成の他の例を示す概略ブロック図である。

【0145】図13に示した構成においては、インバー

タ2202が可変遅延回路110の中央部からの出力信号DSTCLKを受けて、反転した信号を可変遅延回路110の入力に与える。すなわち、インバータ2202が受ける信号は、可変遅延回路110全体での遅延時間を $\tau_d$ とすると、入力信号SRCLKに対して遅延時間 $\tau_d/2$ だけ遅延した信号となる。

【0146】図14は、図13に示した構成のリングオシレータの動作を説明するためのタイミングチャートである。

【0147】図12において説明した動作とはことなり、入力信号SRCLKに対して遅延時間 $\tau_d/2$ だけ遅延した信号を可変遅延回路110の入力信号としているため。可変遅延回路110全体としての遅延時間が $\tau_d$ のままで、出力される信号DSTCLKの周期は、図10で説明したDLL動作モード時と同じになる。

【0148】図15は、図9において説明したDLL動作モード時の構成と図13において説明したPLL動作モード時の構成とを切換えて動作可能とするための構成を示す概略ブロック図である。

【0149】可変遅延回路110の入力として、外部からの信号SRCLKと可変遅延回路110の中央部からの信号をインバータ2202で反転した信号とを切換えて与えるためのマルチプレクサ200と、可変遅延回路110の出力信号と可変遅延回路110の中央部からの信号とを切換えて、信号DSTCLKとして出力するためのマルチプレクサ2320とが設けられている。このような構成が、図2および図5に示した実施の形態1のクロック生成回路2100の可変遅延回路110に関する主要な構成である。

【0150】DLL回路として動作する場合でも、PLL回路として動作する場合でも。可変遅延回路110、位相比較回路120、シフト論理回路180、遅延制御値保持回路170、電圧生成回路150等は、共通に利用できることでチップ面積の増大を抑制可能である。

【0151】[内部同期信号発生回路2018の構成の詳細] 以下は、図5に示した内部同期信号発生回路2018が、図7および8に示したような動作を実現するためのより詳細な構成について説明する。

【0152】図16は、可変定電流回路140の構成をより詳細に説明するための、概略ブロック図である。

【0153】可変定電流回路140は、ベース電流 $I_b$ を生成し、かつ、参照電流値 $I$ に対して、 $2^{j-1} \times I$ の電流と $I/2^k$ の電流( $j, k$ :所定の自然数)をそれぞれ生成する電流生成回路1400と、遅延制御値保持回路170からの遅延制御値に応じて、電流生成回路1400からの電流を合成する電流合成回路143とを含む。

【0154】電流生成回路1400は、参照電流値 $I$ を生成する参照電流生成回路141と、参照電流 $I$ のもと



づいて、 $2^{j-1} \times I$  の電流と  $I/2^k$  の電流とをそれぞれ生成する複数の定電流源セルを有する定電流セル群142を含む。

【0155】電流合成回路143からの出力に応じて、電圧生成回路150は、参照電圧 $V_{rp}$ と参照電圧 $V_{rn}$ とを発生する。この参照電圧 $V_{rp}$ および $V_{rn}$ の値に応じた遅延時間で、遅延回路110a~110dは信号を伝達する。

【0156】図17は、参照電流生成回路141および定電流源セル群142の構成を説明するための回路図である。

【0157】参照電流生成回路141は、電源電圧 $V_{cc}$ と接地電位 $V_{ss}$ との間に直列に接続されるPチャネルMOSトランジスタP1、PチャネルMOSトランジスタP2、NチャネルMOSトランジスタN1を含む。PチャネルMOSトランジスタP1およびP2のゲートは接地電位を受けており、これらのトランジスタは、定電流源として動作する。

【0158】NチャネルMOSトランジスタN1のゲートは、NチャネルMOSトランジスタとPチャネルMOSトランジスタP2との接続ノードである、NチャネルMOSトランジスタN1のドレインと接続している。

【0159】NチャネルMOSトランジスタN1を流れるソース・ドレイン電流が参照電流 $I$ に相当する。

【0160】定電流源セル群142に含まれる定電流源セルのうち、電流 $I$ を出力する定電流源セル1422は、電源電圧 $V_{cc}$ と接地電位 $V_{ss}$ との間に直列に接続されるPチャネルMOSトランジスタP11およびNチャネルMOSトランジスタN11と、ソースに電源電位 $V_{cc}$ を受けるPチャネルMOSトランジスタP12を含む。PチャネルMOSトランジスタP11のゲートとP12のゲートとは接続され、PチャネルMOSトランジスタP11のゲートとドレインとは接続されている。これにより、PチャネルMOSトランジスタP11とP12とは、対となってカレントミラー回路として動作する。

【0161】NチャネルMOSトランジスタN1のゲートとNチャネルMOSトランジスタN11ゲートとが接続されているため、NチャネルMOSトランジスタN1とN11とは、同一の電流 $I$ が流れる。つまり、PチャネルMOSトランジスタP11とP12とから成るカレントミラー回路にも、電流 $I$ が流れることとなり、この電流 $I$ が定電流源セル1422から出力される。

【0162】定電流源セル群142に含まれる定電流源セルのうち、電流 $2I$ を出力する定電流源セル1424は、電源電圧 $V_{cc}$ と接地電位 $V_{ss}$ との間に直列に接続されるPチャネルMOSトランジスタP21およびNチャネルMOSトランジスタN21と、PチャネルMOSトランジスタP21と接地電位 $V_{ss}$ との間にNチャネルMOSトランジスタN21と並列に接続されるNチャ

ネルMOSトランジスタN22と、ソースに電源電位 $V_{cc}$ を受けるPチャネルMOSトランジスタP22とを含む。PチャネルMOSトランジスタP21のゲートとP22のゲートとは接続され、PチャネルMOSトランジスタP21のゲートとドレインとは接続されている。これにより、PチャネルMOSトランジスタP21とP22も、対となってカレントミラー回路として動作する。

【0163】NチャネルMOSトランジスタN1のゲートとNチャネルMOSトランジスタN21およびN22のゲートとが接続されているため、NチャネルMOSトランジスタN1、N21、N22には、同一の電流 $I$ が流れる。つまり、PチャネルMOSトランジスタP21とP22とから成るカレントミラー回路には、電流 $2I$ が流れることとなり、この電流 $2I$ が定電流源セル1424から出力される。

【0164】定電流源セル群142に含まれる定電流源セルのうち、電流 $I/2$ を出力する定電流源セル1426は、電源電圧 $V_{cc}$ と接地電位 $V_{ss}$ との間に直列に接続されるPチャネルMOSトランジスタP31およびNチャネルMOSトランジスタN31と、NチャネルMOSトランジスタP31と電源電位 $V_{cc}$ との間にPチャネルMOSトランジスタP31と並列に接続されるPチャネルMOSトランジスタN32と、ソースに電源電位 $V_{cc}$ を受けるPチャネルMOSトランジスタP33を含む。PチャネルMOSトランジスタP31のゲート、P32のゲート、P33のゲートは接続され、PチャネルMOSトランジスタP31のゲートとドレインとは接続されている。

【0165】NチャネルMOSトランジスタN1のゲートとNチャネルMOSトランジスタN31のゲートとが接続されているため、NチャネルMOSトランジスタN1とN31には、同一の電流 $I$ が流れる。つまり、PチャネルMOSトランジスタP31とP32には、それぞれ電流 $I/2$ が流れることとなる。PチャネルMOSトランジスタP33にも電流 $I/2$ が流れ、この電流 $I/2$ が定電流源セル1426から出力される。

【0166】他の定電流源セルについても、出力する電流値に応じて、並列接続されるPチャネルトランジスタまたはNチャネルMOSトランジスタの数が異なるだけで、その基本的な構成は同様である。

【0167】図18は、電流合成回路143および電圧生成回路150の構成を示す概略ブロック図である。

【0168】電流合成回路143は、それぞれのゲート電位が、遅延制御値保持回路170中に保持された遅延制御値の2進数表記における各ビット値に応じて制御されるNチャネルMOSトランジスタN41~N45を含む。NチャネルMOSトランジスタN41~N45の各々は、対応する定電流源セルからの電流をソースに受け、ドレインは出力ノード $n1$ と接続している。



【0169】なお、図18では、NチャネルMOSトランジスタは5つのみを図示し、他は省略しているが、実際には、遅延制御値のビット数に応じた個数分だけ設けられている。

【0170】さらに、出力ノードn1にはベース電流I<sub>b</sub>を供給するNチャネルMOSトランジスタN51も接続している。

【0171】電圧生成回路150は、出力ノードn1と接地電位V<sub>ss</sub>との間に接続されるNチャネルMOSトランジスタN61と、電源電位V<sub>cc</sub>と接地電位V<sub>ss</sub>との間に直列に接続されるPチャネルMOSトランジスタP61とNチャネルMOSトランジスタN62とを含む。

【0172】NチャネルMOSトランジスタN61のゲートとN62のゲートとは接続され、NチャネルMOSトランジスタN61のゲートとドレインとは接続されている。これにより、NチャネルMOSトランジスタN61とN62とは、対となってカレントミラー回路として動作する。

【0173】すなわち、出力ノードn1に供給される電流値と同一の電流が、NチャネルMOSトランジスタN62とPチャネルMOSトランジスタP61にも流れることになる。

【0174】PチャネルMOSトランジスタP61のゲート電位が参照電位V<sub>rp</sub>として出力され、NチャネルMOSトランジスタN62のゲート電位が参照電位V<sub>rn</sub>として出力される。

【0175】図19は、可変遅延回路110中の遅延回路110aおよび110bの構成を示すブロック図である。

【0176】遅延回路110aは、4段のインバータ列I<sub>nv11</sub>～I<sub>nv14</sub>を含み、遅延回路110aは、4段のインバータ列I<sub>nv21</sub>～I<sub>nv24</sub>を含む。

【0177】遅延回路110aの出力CKMD1および遅延回路110bの出力CKMD2が、初期遅延制御値決定回路160に与えられる。

【0178】インバータI<sub>nv11</sub>～I<sub>nv24</sub>の各々は、参照電位V<sub>rp</sub>およびV<sub>rn</sub>に応じた動作電流で動作する。

【0179】遅延回路110cおよび遅延回路110dの構成も、それぞれが出力する信号が、信号CKMD3および信号CKMD4である点を除いて、遅延回路110aおよび遅延回路110bの構成と同様である。

【0180】図20は、図19に示したインバータI<sub>nv11</sub>の構成を示す回路図である。インバータI<sub>nv11</sub>は、電源電位V<sub>cc</sub>と接地電位V<sub>ss</sub>との間に直列に接続されるPチャネルMOSトランジスタP71、P72、NチャネルMOSトランジスタN71、N72を含む。

【0181】PチャネルMOSトランジスタP71のゲ

ートが参照電位V<sub>rp</sub>を受け、NチャネルMOSトランジスタN72のゲートが参照電位V<sub>rn</sub>を受ける。

【0182】PチャネルMOSトランジスタP72のゲートとNチャネルMOSトランジスタN71のゲートが入力信号を受け、PチャネルMOSトランジスタP72とNチャネルMOSトランジスタN71との接続ノードから、出力信号が出力される。

【0183】つまり、参照電位V<sub>rp</sub>とV<sub>rn</sub>の値により、インバータI<sub>nv11</sub>の動作電流値が制御され、動作電流値の値の増加にともなって、インバータI<sub>nv11</sub>の遅延時間は減少する。

【0184】他のインバータI<sub>nv12</sub>～I<sub>nv24</sub>の構成も同様である。図21は、初期遅延制御値決定回路160の構成を示す概略ブロック図である。

【0185】図21を参照して、初期遅延制御値決定回路160は、検出制御回路190からの信号FFRSTCに応じてリセットされ、外部クロック信号Ext. CLKのカウント動作を開始し、信号FSCYCのタイミングを制御するタイミング発生回路164と、可変遅延回路110からの信号CKMD1～CKMD3を受けて、信号FSCYCのタイミングで、信号CKMD1～CKMD3のうちのいずれが活性化しているかを検出し、初期遅延制御値を出力する比較論理回路166と、検出制御回路190からの信号FPFDに応じて、タイミング発生回路164に対するリセット信号FSRSTを出力するリセット信号生成回路162とを含む。

【0186】図22は、リセット信号生成回路162の構成を示すブロック図である。リセット信号生成回路162は、信号FPFDを受ける、互いに直列に接続されたインバータ1622～1634と、インバータ1634の出力と信号FPFDとを入力としてうけるNAND回路1636とを含む。

【0187】すなわち、リセット信号生成回路162は、信号FPFDの立ち上がりエッジにตอบสนองして、インバータ列1622～1634の遅延時間で決定されるパルス幅のワンショットパルスを信号FSRSTとして出力する。

【0188】図23は、タイミング発生回路164の構成を示すブロック図である。タイミング発生回路164は、外部クロック信号Ext. CLKを受けてその反転信号を生成するインバータ1642と、インバータ1642の出力を受けてさらに反転して出力するインバータ1644と、信号FFRSTCに応じてセットされ、信号FSCYCのレベルが“L”レベルから“H”レベルとなった後、再び“L”レベルに復帰することに応じてリセットされるフリップフロップ回路1646と、信号FFRSTCの活性化(“H”レベル)に応じてリセットされてカウント動作を開始するカウンタ1648とを含む。

【0189】すなわち、図7および図23を参照する

と、タイミング発生回路164は、時刻t4において、信号FFRSTCが”H”レベルとなったのに応じてカウント動作を開始し、時刻t5における外部クロック信号Ext. CLKの立ち上がりのエッジにตอบสนองして、信号FSCYCを”H”レベルとする。

【0190】つづいて、タイミング発生回路164は、時刻t7における外部クロック信号Ext. CLKの立ち上がりのエッジにตอบสนองして、信号FSCYCを”L”とする。このとき、フリップフロップ回路1646の出力レベルもリセットされるので、以後は、信号FSCYCは”L”レベルを維持する。

【0191】図24は、比較論理回路166の構成を示す概略ブロック図である。比較論理回路166は、それぞれが、信号FFRSTCによりリセットされ、信号FSCYCが活性である期間中の可変遅延回路110からの対応する信号CKMD1～CKMD3のレベルを受けて保持する比較器1662～1668と、比較器1662～1668からの出力MIDD0～MIDD2を受けてエンコードし、初期遅延制御値を出力するエンコーダ1670を含む。

【0192】図25は、図24に示した比較器1662の構成を示すブロック図である。比較器1662は、信号CKMD1と信号FSCYCとを受けるNAND回路170と、NAND回路の出力によりセットされ、信号FFRSTCによりリセットされ、信号MIDD0を出力するフリップフロップ回路172を含む。フリップフロップ回路172は、交差接続されたNAND回路174および176を含む。

【0193】すなわち、フリップは、信号FFRSTCによりリセットされた後、信号FSCYCが活性であって、かつ、信号CKDM1が活性となると信号MIDD0のレベルをセット状態とする。

【0194】他の比較器1664および1668の構成も同様である。図26は、図24に示したエンコーダ1670の構成を示す概略ブロック図である。

【0195】エンコーダ1670は、信号MIDD2を受けるインバータ1672と、信号MIDD1を受けるインバータ1674と、信号MIDD0および信号MIDD2を受けるNAND回路1676と、インバータ1672の出力と信号MIDD1を受けるNAND回路1678と、インバータ1674の出力と信号MIDD0とを受けるNAND回路168と、NAND回路1676の出力を受けるインバータ1682と、NAND回路1678の出力を受けるインバータ1684と、インバータ1682の出力とインバータ1642の出力とNAND回路1680の出力とを受ける3入力NAND回路1686と、インバータ1684の出力とNAND回路1680の出力を受けるNAND回路1688と、3入力NAND回路1686の出力とNAND回路1688の出力をうけるNAND回路1690と、3入力NAN

D回路1686の出力とNAND回路1680の出力をうけるNAND回路1692と、NAND回路1690の出力を受けて、初期遅延制御値の第7ビットのデータbit7を出力するインバータ1694と、NAND回路1692の出力を受けて、初期遅延制御値の第6ビットのデータbit6を出力するインバータ1696とを含む。

【0196】エンコーダ1670はさらに、接地電位レベルを入力として受けて初期遅延制御値の第5ビットのデータbit5を出力するインバータ1698と、それぞれ、電源電位Vccを入力として受けて、初期遅延制御値の第4ビット～第0ビットのデータbit4～bit0を出力するインバータ1700～1708とを含む。

【0197】したがって、初期遅延制御値の第4ビット～第0ビットのデータbit4～bit0の値は、すべて”0”に固定され、初期遅延制御値の第5ビットデータbit5の値は、”1”に固定されている。

【0198】初期遅延制御値の第7ビット～第6ビットのデータbit7～bit6の値は、信号MIDD0～信号MIDD2のレベルに応じてエンコードされた値となる。

【0199】以上の構成により、テスト信号の伝播の検出結果に基づいて、初期遅延制御値が2進数表記の値としてエンコードされ、遅延制御値保持回路170に格納されることになる。

【0200】なお、本実施の形態では、可変遅延回路110が4つの遅延回路110a～110dを含み、それぞれの遅延回路からの出力信号のCKDM1～CKDM3に基づいて、8ビットの初期遅延制御値のうちの上位2ビットの値のみがエンコードされる構成とした。しかしながら、本発明は、このような場合に限定されず、遅延制御値のビット数などに応じて、遅延回路の個数やエンコードされて決定される初期遅延制御値のビットデータの数を増減させた構成とすることも可能である。

【0201】以上説明したとおり、初期遅延制御値決定回路160の構成によれば、位相合わせの精度を上げた場合でも同期動作の完了までの時間を短縮することが可能な内部同期信号発生回路を備える同期型半導体記憶装置を提供することが可能である。

【0202】さらに、実施の形態1の発明によれば、遅延回路の遅延量の制御に2進数表記の遅延制御値を用いた場合でも回路素子数の増加を抑制し高速な遅延時間制御が可能な内部同期信号発生回路を備える同期型半導体記憶装置を提供することが可能である。

【0203】〔クロック生成回路2100の構成の詳細〕図27は、以下、順次説明するクロック生成回路2100の機能ブロックの構成を示す概略ブロック図である。図27および図5を参照して、以下では、位相比較回路120の構成、位相制御回路2800中に含まれる

シフト論理回路180およびマルチプレクサ2310の構成、可変遅延回路2110の構成、分周部2300の構成、制御回路2190の構成について説明する。

【0204】位相比較回路120の構成] 図28は、位相比較回路120の構成を説明するためのブロック図である。

【0205】図28を参照して、位相比較回路120は、可変遅延回路110にクロック信号を与えることを指示する信号FDLSPを受けるインバータ3002と、信号FDLSPと外部クロック信号Ext. CLKとを受けるNAND回路3004と、NAND回路3004の出力を受けるインバータ3006と、いずれの入力にも接地電位Vssを受けるNOR回路3008と、NOR回路3008の出力を受けるインバータ3010と、信号FDLSPとクロックツリー168からの信号int. CLK1とを受けるNAND回路3012と、インバータ3002の出力と外部クロック信号Ext. CLKとを受けるNAND回路3014と、NAND回路3012および3014の出力を受けるNAND回路3016を含む。

【0206】したがって、信号FDLSPが活性状態(“H”レベル)では、インバータ3006から出力される信号(以下、信号SRCLKと呼ぶ)は外部クロック信号Ext. CLKであり、NAND回路3016から出力される信号(以下、信号REFCLKと呼ぶ)はクロックツリー168からの内部クロック信号int. CLK1である。一方、信号FDLSPが不活性状態(“L”レベル)では、インバータ3006から“L”レベルの信号が出力され、NAND回路3016からは外部クロック信号Ext. CLKが出力される。

【0207】位相比較回路120は、さらに、インバータ3006の出力を一方の入力ノードに受けるNAND回路3020と、一方の入力ノードにNAND回路3020の出力を受け、他方の入力ノードが内部ノードn11と結合し、出力ノードがNAND回路3020の他方の入力ノードと結合するNAND回路3022と、入力ノードがNAND回路3020の一方の入力ノードとNAND回路3020の出力ノードとに結合するNAND回路3024と、NAND回路3024の出力を一方に入力ノードに受けるNAND回路3026と、NAND回路3026の出力ノードとNAND回路3020の出力ノードとノードn11とに入力ノードがそれぞれ結合する3入力NAND回路3028と、インバータ3010の出力とNAND回路3028の出力とを受け、UP信号を出力するNOR回路3030を含む。

【0208】位相比較回路120は、さらに、NAND回路3016の出力を一方の入力ノードに受けるNAND回路3040と、一方の入力ノードにNAND回路3040の出力を受け、他方の入力ノードが内部ノードn11と結合し、出力ノードがNAND回路3040の他

方の入力ノードと結合するNAND回路3042と、入力ノードがNAND回路3040の一方の入力ノードとNAND回路3040の出力ノードとに結合するNAND回路3044と、NAND回路3044の出力を一方に入力ノードに受けるNAND回路3046と、NAND回路3046の出力ノードとNAND回路3040の出力ノードとノードn11とに入力ノードがそれぞれ結合する3入力NAND回路3048と、インバータ3010の出力とNAND回路3048の出力とを受け、DOWN信号を出力するNOR回路3050を含む。位相比較回路120は、さらに、NAND回路3026およびNAND回路3046の出力とを受け、出力ノードが内部ノードn11と結合するNAND回路3060を含む。

【0209】位相比較回路120の動作を簡単に説明すると以下のとおりである。たとえば、通常の位相比較動作モードにおいて、外部クロック信号Ext. CLKに比べて内部クロック信号int. CLK1の位相が進んでいる場合を考える。

【0210】この場合、外部クロック信号Ext. CLKが立ち上がって“H”レベルとなった後、一定の時間経過後に、内部クロック信号int. CLK1も“H”レベルに立ち上がる。この一定期間中、NAND回路3020の一方の入力ノードの電位は“H”レベルであり、NAND回路3040の一方の入力ノードの電位は“L”レベルである。この状態では、NOR回路3030から出力されるUP信号は“L”レベルであり、NOR回路3050から出力されるDOWN信号は“H”となる。つまり、内部クロック信号int. CLK1の位相を遅らせるように制御が行なわれる。

【0211】また、通常の位相比較動作モードにおいて、外部クロック信号Ext. CLKに比べて内部クロック信号int. CLK1の位相が一致している場合、UP信号およびDOWN信号はともに“L”レベルとなる。

【0212】図29は、位相比較回路120の一方の入力信号SRCLKと、他方の入力信号である信号REFCLKとの関係を示すタイミングチャートである。

【0213】時刻t1において、位相比較回路120がリセットされた後、信号SRCLKはゼロレベルに保持されているとする。時刻t2において、位相比較回路120からUP信号が出ていない状態で、信号REFCLKとして外部クロック信号Ext. CLKが入力すると、DOWN信号が活性状態(“H”レベル)となる。

【0214】時刻t3において通常の位相比較モード(DLL回路動作モード)となった後、信号REFCLKは、可変遅延回路110により外部クロック信号Ext. CLKが遅延された信号に切り替わる。一方、信号SRCLKは、外部クロック信号Ext. CLKに切り替わる。



【0215】時刻t4において、信号SRCCLKが活性化するのに応じて、信号DOWNがリセットされる。時刻t4の後、次に信号SRCCLKが立ち上がる時刻t5において、信号SRCCLKと信号REFCLKの位相比較が行なわれる。

【0216】図29においては、時刻t5において、信号SRCCLKの位相が信号REFCLKに比べて進んでいるために、信号DOWNが活性化する。

【0217】このような構成とすることで、時刻t3までの位相比較により、位相比較回路120の出力のうち10の一方の信号（図29ではDOWN信号）が活性化され、時刻t3において信号REFCLKと信号SRCCLKとを入れ替えることにより、時刻t4においてこの一方の信号が不活性化される動作が行なわれることになるので、時刻t5において、外部クロック信号Ext. CLKのクロックのうちのパルスPS2と、信号REFCLKのうち、外部クロック信号Ext. CLKのパルスPS1を遅延したパルスDPS1との位相比較が行なわれることになる。

【0218】時刻t3における信号REFCLKと信号20 SRCCLKとを入れ替えが行なわれないと、パルスPS1とパルスDPS1との位相比較が行なわれてしまう場合が発生しうる。この場合、その位相比較結果にもとづいて遅延量の制御を行っても位相の同期をとることはできないので、結局、位相同期が完了するまでに余分な時間を要することになる。

【0219】図28に示した位相比較回路120の構成では、このような無駄な時間を省くことが可能である。

【0220】[位相制御回路2800の構成] 図30は、図28に示した位相制御回路2800の構成を示す30 概略ブロック図である。

【0221】位相制御回路2800は、シフト論理回路180と、マルチプレクサ210と、遅延制御値保持回路170とを含む。シフト論理回路180は、位相比較回路120からのUP信号およびDOWN信号を受けて、遅延制御値の変更のタイミングを検出するUP/DOWN識別回路3100と、遅延制御値保持回路170に保持された遅延制御値を受けて、UP/DOWN識別回路3100からの出力に応じて遅延制御値を増減させる制御値シフト回路3200とを含む。UP/DOWN40 識別回路3100から出力される信号CDLATに応じて、遅延制御値保持回路170は、制御値シフト回路3200において更新された遅延制御値を取込む。

【0222】また、初期遅延制御値を決定するプロセスにおいては、遅延制御値保持回路170は、初期遅延制御値決定回路160からの初期遅延制御値PICD<7:0>を、制御回路2190からの信号FTLATに応じて取込む。

【0223】マルチプレクサ210は、制御値シフト回路3200において更新された遅延制御値および信号C50

DLATの信号の組、ならびに初期遅延制御値PICD<7:0>および信号FTLATの信号の組を受けて、制御回路2190に制御されて動作モードに応じて、選択的に遅延制御値保持回路170に出力する。

【0224】図31は、UP/DOWN識別回路3100の構成を示す概略ブロック図である。

【0225】UP/DOWN識別回路3100は、位相比較回路120からのUP信号を受けるインバータ3102と、インバータ3102の出力を一方の入力ノードに受けるNAND回路3104と、インバータ3102の出力を一方の入力ノードに受けるNAND回路3106と、NAND回路3104の出力とNAND回路3106の出力とを受け、出力ノードがNAND回路3106の他方の入力ノードと結合するNAND回路3108と、NAND回路3106の出力を一方の入力ノードに受けるNAND回路3110と、NAND回路3110の出力を受けて反転し、NAND回路3104の他方の入力ノードに与えるインバータ3112を含む。

【0226】UP/DOWN識別回路3100は、さらに、位相比較回路120からのDOWN信号を受けるインバータ3122と、インバータ3122の出力を一方の入力ノードに受けるNAND回路3124と、インバータ3122の出力を一方の入力ノードに受けるNAND回路3126と、NAND回路3124の出力とNAND回路3126の出力とを受け、出力ノードがNAND回路3126の他方の入力ノードと結合するNAND回路3128と、NAND回路3126の出力を一方の入力ノードに受けるNAND回路3130と、NAND回路3130の出力を受けて反転し、NAND回路3124の他方の入力ノードに与えるインバータ3132を含む。

【0227】NAND回路3106および3126の出力信号が、それぞれ信号BUPおよび信号BDOWNとして制御値シフト回路3200に与えられる。

【0228】UP/DOWN識別回路3100は、さらに、NAND回路3106および3126の出力を受けるNOR回路3140と、NOR回路3140の出力を受けて所定時間遅延させて出力する遅延回路3142と、遅延回路3142の出力を受けるインバータ3144と、NOR回路3140の出力とインバータ3144の出力とを受けるNOR回路3146とを受けて、信号CDLATを出力するNOR回路3146とを含む。

【0229】ここで、UP/DOWN識別回路3100の動作を簡単に説明すると以下のようなものである。すなわち、位相比較回路120からの信号UPおよび信号DOWNがともに”L”レベルであるとNOR回路3140への入力信号も、ともに”L”レベルである。したがって、NOR回路3140からは、”H”レベルの信号が出力される。

【0230】ここで、UP信号およびDOWN信号のい

ずれかが”H”レベルに変化すると、NOR回路3140の出力レベルは”L”レベルに変化し、これに応じて、NOR回路3146からは、遅延回路3142とインバータ3144の遅延時間に相当するパルス幅を有する信号CDLATが出力される。

【0231】また、信号BUPおよび信号BDOWNは、位相比較回路120からの信号UPおよびDOWNと、それぞれ同じレベルを有する信号であるが、”H”レベルは最短でもCDLATのパルス信号出力期間中は保持される。

【0232】図32は、制御値シフト回路3200の構成を示す概略ブロック図である。図32を参照して、制御値シフト回路3200は、遅延制御値保持回路170からの8ビットの遅延制御値データDLAST<0:7>を受けるバッファ回路3210と、UP/DOWN識別回路3100からのBUP信号の活性化に応じて、遅延制御値データDLAST<0:7>の各ビットデータの変更を指示する信号UPIN<0>~信号UPIN<7>を出力するアップシフト演算回路3300と、UP/DOWN識別回路3100からのBDOWN信号の活性化に応じて、遅延制御値データDLAST<0:7>の各ビットデータの変更を指示する信号DNIN<0>~信号DNIN<7>を出力するダウンシフト演算回路3400と、遅延制御値データDLAST<0:7>の各ビットデータごとに設けられ、信号UPIN<0>~信号UPIN<7>のうちの対応する信号と、信号DNIN<0>~信号DNIN<7>のうちの対応する信号とを、それぞれ受けて、更新された遅延制御値データDNEW<0:7>を出力するビット演算器3500~3570を含む。

【0233】図33は、アップシフト演算回路3300の構成を示す回路図である。図33を参照して、アップシフト演算回路3300は、信号BUPを受けるインバータ3302と、インバータ3302の出力を受けて、信号UPIN<0>を出力するインバータ3304と、信号BUPと遅延値制御データDLAST<0>とを受けるNAND回路3306と、NAND回路3306の出力を受けて信号UPIN<1>を出力するインバータ3308と、信号BUPと遅延値制御データDLAST<0>と遅延値制御データDLAST<1>とを受けるNAND回路3310と、NAND回路3310の出力を受けて信号UPIN<2>を出力するインバータ3312と、信号BUPと遅延値制御データDLAST<0>と遅延値制御データDLAST<1>と遅延値制御データDLAST<2>とを受けるNAND回路3314と、NAND回路3314の出力を受けて信号UPIN<3>を出力するインバータ3316とを含む。

【0234】アップシフト演算回路3300は、さらに、遅延値制御データDLAST<0>、DLAST<1>、DLAST<2>およびDLAST<3>を受け

るNAND回路3318と、NAND回路3318とインバータ3302の出力とを受けて信号UPIN<4>を出力するNOR回路3320と、遅延値制御データDLAST<1>、DLAST<2>、DLAST<3>およびDLAST<4>を受けるNAND回路3322と、NAND回路3322とインバータ3306の出力とを受けて信号UPIN<5>を出力するNOR回路3324と、遅延値制御データDLAST<2>、DLAST<3>、DLAST<4>およびDLAST<5>を受けるNAND回路3326と、NAND回路3326とインバータ3310の出力とを受けて信号UPIN<6>を出力するNOR回路3328と、遅延値制御データDLAST<3>、DLAST<4>、DLAST<5>およびDLAST<6>を受けるNAND回路3330と、NAND回路3330とインバータ3314の出力とを受けて信号UPIN<7>を出力するNOR回路3332とを含む。

【0235】次に、アップシフト演算回路3300の動作について簡単に説明する。アップシフト演算回路3300の出力する信号UPIN<0>~UPIN<7>は、遅延値制御データDLAST<0:7>を1増加させた場合に、各ビットデータについて下位のビットからのけた上がりがあるか否かを示す信号である。すなわち、特定のビットデータに注目した場合、このビットデータに対して下位のビットから桁上がりが発生するのは、このビットデータよりも下位のビットデータがすべて”1”である場合に限られる。そこで、アップシフト演算回路3300は、遅延値制御データDLAST<0:7>の第iビットデータについて、それよりも下位のビットがすべて”1”である時には、対応する信号UPIN<i>を”H”レベルとする。

【0236】図34は、ダウンシフト演算回路3400の構成を示す回路図である。図34を参照して、ダウンシフト演算回路3300は、遅延値制御データDLAST<0:7>の各ビットデータをそれぞれ受けて、反転して出力するインバータ3450~3462と、信号BDOWNを受けるインバータ3402と、インバータ3402の出力を受けて、信号DNIN<0>を出力するインバータ3404と、信号BDOWNと遅延値制御データDLAST<0>の反転データとを受けるNAND回路3406と、NAND回路3406の出力を受けて信号DNIN<1>を出力するインバータ3408と、信号BDOWNと遅延値制御データDLAST<0>の反転データと、データDLAST<1>の反転データとを受けるNAND回路3410と、NAND回路3410の出力を受けて信号DNIN<2>を出力するインバータ3412と、信号BDOWNと遅延値制御データDLAST<0>の反転データとデータDLAST<1>の反転データとデータDLAST<2>の反転データとを受けるNAND回路3414と、NAND回路341

4の出力を受けて信号DNIN<3>を出力するインバータ3416とを含む。

【0237】ダウシフト演算回路3400は、さらに、遅延値制御データDLAST<0>の反転データ、DLAST<1>の反転データ、DLAST<2>の反転データおよびDLAST<3>の反転データを受けるNAND回路3418と、NAND回路3418とインバータ3402の出力とを受けて信号DNIN<4>を出力するNOR回路3420と、遅延値制御データDLAST<1>の反転データ、DLAST<2>の反転データ、DLAST<3>の反転データおよびDLAST<4>の反転データを受けるNAND回路3422と、NAND回路3422とインバータ3406の出力とを受けて信号DNIN<5>を出力するNOR回路3424と、遅延値制御データDLAST<2>の反転データ、DLAST<3>の反転データ、DLAST<4>の反転データおよびDLAST<5>の反転データを受けるNAND回路3426と、NAND回路3426とインバータ3410の出力とを受けて信号DNIN<6>を出力するNOR回路3428と、遅延値制御データDLAST<3>の反転データ、DLAST<4>の反転データ、DLAST<5>の反転データおよびDLAST<6>の反転データを受けるNAND回路3430と、NAND回路3430とインバータ3414の出力とを受けて信号DNIN<7>を出力するNOR回路3432とを含む。

【0238】次に、ダウシフト演算回路3400の動作について簡単に説明する。ダウシフト演算回路3400の出力する信号DNIN<0>～DNIN<7>は、遅延値制御データDLAST<0:7>を1減少させた場合に、桁借りが発生する結果、各ビットデータについてビットデータの変更があるか否かを示す信号である。すなわち、特定のビットデータに注目した場合、桁借りの発生により、このビットデータに変更が生じるのは、このビットデータよりも下位のビットデータがすべて“0”である場合に限られる。そこで、ダウシフト演算回路3400は、遅延値制御データDLAST<0:7>の第iビットデータについて、それよりも下位のビットがすべて“0”である時には、対応する信号DNIN<i>を“H”レベルとする。

【0239】図35は、ビット演算器3510の構成を示す回路図である。他のビット演算器3500、3520～3570も、入力する信号と出力する信号が異なる以外は、その構成は同様である。

【0240】ビット演算器3510は、信号UPIN<1>と信号DNIN<1>とを受けるNOR回路3600と、NOR回路3600の出力を受けるインバータ3602と、NOR回路3600の出力とデータDLAST<1>を受けるNAND回路3604と、データDLAST<1>を受けて反転データを出力するインバータ

3606と、インバータ3602および3606の出力を受けるNAND回路3608と、NAND回路3604および3608の出力とを受けて、データDNEW<1>を出力するNAND回路3610とを含む。

【0241】すなわち、ビット演算器3510は、信号UPIN<1>および信号DNIN<1>がいずれも“L”レベルである場合は、データDNEW<1>として、データDLAST<1>と同じデータを出力し、信号UPIN<1>と信号DNIN<1>とのいずれかが“H”レベルである場合は、データDNEW<1>として、データDLAST<1>の反転データを出力する。

【0242】図36は、可変遅延回路110、マルチプレクサ2310、電圧生成回路150の構成を説明するための概略ブロック図である。

【0243】可変遅延回路110は、マルチプレクサ2310の出力を受け、電圧生成回路150に制御されて所定時間遅延して出力する第1の遅延回路110.1と第1の遅延回路110.1の出力を受け、電圧生成回路150に制御されて所定時間遅延して出力する第2の遅延回路110.2とを含む。

【0244】第1の遅延回路110.1は、互いに直列に接続された遅延回路110aおよび110bを含み、第2の遅延回路110.2は、互いに直列に接続された遅延回路110cおよび110dを含む。

【0245】可変遅延回路110は、さらに、遅延回路110a、110b、110c、110dの出力をそれぞれ受けて、クロック信号CKDM1、CKDM2、CKDM3およびCKDM4として出力するバッファ回路112を含む。

【0246】図37は、図36に示したマルチプレクサ2310の構成を示す概略ブロック図である。

【0247】図37を参照して、マルチプレクサ2310は、遅延回路110bの出力を受けるインバータ3702と、PLL動作を指示する信号FSLDPを受けるインバータ3704と、外部クロック信号Ext. CLKとインバータ3704の出力と可変遅延回路にクロック信号を与えることを指示する信号FDLSPとを受ける3入力NAND回路3706と、インバータ3702の出力と信号FSLDPと信号FDLSPとを受ける3入力NAND回路3708と、NAND回路3706の出力とNAND回路3708の出力とを受けて、可変遅延回路110に与えるクロック信号を出力するNAND回路3710とを含む。

【0248】したがって、マルチプレクサ2310は、信号FDLSPの活性化に応じて活性となり、信号FSLDPが不活性状態(“L”レベル)では、外部クロック信号Ext. CLKを、活性状態(“H”レベル)では、信号CKDM2の反転信号をそれぞれ可変遅延回路110に与える。



【0249】図38は、図5に示した分周部2300とマルチプレクサ2410の構成を示す概略ブロック図である。

【0250】分周部2300は、信号CKDM2を受けて、信号FDLSPの活性化に応じて分周動作を行う。マルチプレクサ2410は、DLL動作とPLL動作の切り換えを指示する信号TMDLPLに制御されて、信号CKDM4と分周部2300の出力信号とを選択的に出力する。

【0251】図39は、分周部2300中の4倍分周器2304の構成を説明するための回路図である。

【0252】4倍分周器2304は、クロック信号CKDM2を受けるインバータ3802と、インバータ3802の出力を受けるインバータ3804と、信号FDLSPを一方の入力ノードに受けるNAND回路3806と、NAND回路3806の出力を受け、信号CKDM2が“H”レベルとなることに応じて導通状態となるトランスミッションゲート3808と、トランスミッションゲート3808からの出力を受け、反転した信号をNAND回路3806の他方の出力ノードに与えるインバータ3810と、インバータ3810の出力を受け、信号CKDM2が“H”レベルとなることに応じて導通状態となるトランスミッションゲート3812と、トランスミッションゲート3812の出力と信号FDLSPとを受けるNAND回路3814と、NAND回路3814の出力を受けるインバータ3816と、トランスミッションゲート38121とNAND回路3814との接続ノードとインバータ3816の出力ノードとの間に設けられ、信号CKDM2が“L”レベルとなることに応じて導通状態となるトランスミッションゲート3818と、NAND回路3814の出力を受けて4倍分周器2304の出力信号CKOUTを出力するインバータ3818とを含む。

【0253】4倍分周器2304は、さらに、NAND回路3814の出力を受け、信号CKDM2が“L”レベルとなることに応じて導通状態となるトランスミッションゲート3820と、トランスミッションゲート3820の出力を受けるインバータ3822と、インバータ3822の出力と信号FDLSPとを受けるNAND回路3824と、NAND回路3824の出力ノードとインバータ3822の入力ノードとの間に設けられ、信号CKDM2が“H”レベルとなることに応じて導通状態となるトランスミッションゲート3826とインバータ3822の出力を受け、信号CKDM2が“H”レベルとなることに応じて導通状態となるトランスミッションゲート3830と、トランスミッションゲート3820の出力と信号FDLSPとを受けるNAND回路3832と、NAND回路3832の出力を受けるインバータ3834と、トランスミッションゲート3830とNAND回路3832の接続ノードとインバータ3834の

出力ノードとの間に設けられ、信号CKDM2が“L”レベルとなることに応じて導通状態となるトランスミッションゲート3836と、NAND回路3832の出力を受けるインバータ3840と、インバータ3840の出力ノードとインバータ3810の入力ノードとの間に設けられ、信号CKDM2が“L”レベルとなることに応じて導通状態となるトランスミッションゲート3842とを含む。

【0254】以上の構成により、4倍分周器2304においては、クロック信号CKDM2の活性化および不活性化に応じて、順次信号の取込み動作を行う4つのラッチ回路が直列に接続し、入力信号CKDM2の4倍周期のクロック信号を生成する構成となっている。

【0255】[制御回路2190の構成] 図40は、図5に示した制御回路2190の構成を説明するための概略ブロック図である。

【0256】制御回路2190は、外部クロック信号Ext. CLKの活性化回数をカウントするカウンタ回路3900と、カウンタ回路3900のカウント結果に応じて、制御信号を生成するタイミングを制御するタイミング信号生成回路3902と、タイミング信号生成回路3902の出力に応じて制御信号に対応したフラグ信号を生成するフラグ生成回路3904と、初期遅延制御値決定回路180からのデータとシフト論理回路180からのデータのいずれを遅延制御値保持回路170に与えるかを制御する信号FPFDの出力タイミングを調整する遅延回路3906と、コントロール回路からの信号TMDLPLに応じてPLL動作とDLL動作との切り換えを指示する信号FSLDPを出力するDLL/PLL切り換え信号生成回路3908と、コントロール回路20からのリセット信号に応じてリセット信号を生成するリセット信号生成回路3910とを含む。

【0257】ここで、フラグ生成回路3904から出力される制御信号FDRSTは、遅延制御値のリセットする値を示す信号であり、制御信号FTRSTは、遅延制御値のリセットを指示する信号である。制御信号FFRSTは、初期値遅延制御値設定回路のリセットを指示する信号であり、制御信号FDLSPは可変遅延回路110にクロック信号を与えることを指示する信号であり、制御信号FTLATは遅延制御値保持回路170の遅延制御値の取込みのタイミングを指示するための信号である。

【0258】制御信号FPFDは、初期遅延制御値決定回路180からのデータとシフト論理回路180からのデータのいずれを遅延制御値保持回路170に与えるかを制御する信号であり、制御信号FSLDPは、PLL動作モードでのリングオシレータ動作の開始を指示する信号である。

【0259】図41は、図40に示したタイミング信号生成回路3902の構成を説明するための概略ブロック

図である。

【0260】タイミング信号生成回路3902は、フラグ生成回路3904からの信号FCNTを受け、信号CNTROを出力するインバータ3920と、インバータ3920の出力を受けて信号CINTR1を出力するインバータ3922と、カウンタ回路3900からのカウント値のうち第3ビットのデータTCD<3>と信号CNTROとを受けて、信号SDRSTとを出力するNAND回路3924と、信号CINTR1とデータTCD<4>とを受けて信号RDRSTを出力するNAND回路3926と、信号CNTROとデータTCD<4>とを受けて信号RTRSTを出力するNAND回路3928と、外部クロック信号Ext. CLKを受けるインバータ3930と、信号CINTR1とデータTCD<1>とインバータ3930の出力とを受けて信号RFRSTを出力するNAND回路3932と、信号CINTR1とデータTCD<3>とを受けて信号STLATを出力するNAND回路3934と、信号CINTR1とデータTCD<4>とを受けて信号RTLATを出力するNAND回路3936と、信号CINTR1とデータTCD<6>とを受けて信号SPFDを出力するNAND回路3938と、コントロール回路20からのリセット信号MRSTと信号CNTROとフラグ生成回路3904からの信号FCNTFとを受けて信号SRST2を出力するNAND回路3940と、信号CINTR1とデータTCD<0>とを受けて信号RRST2を出力するNAND回路3942と、信号CNTROとデータTCD<6>とを受けて信号SCNTFを出力するNAND回路3944と、信号CNTROとデータTCD<0>とフラグ生成回路からの信号FRST2とを受けて、信号SCNTを出力するNAND回路3946と、信号CINTR1とデータTCD<2>とインバータ3930の出力とを受けて、信号SDLSPを出力するNAND回路3948と、信号CINTR1とデータTCD<5>とインバータ3930の出力とを受けて、信号RDLSPLを出力するNAND回路3948を含む。

【0261】図42は、フラグ生成回路3904の構成を示す回路図である。フラグ生成回路3904は、信号MRSTを受けるインバータ3952と、インバータ3952の出力を受けて、信号IRSTを出力するインバータ3954と、信号SPFDの活性化(“L”レベルへの変化)に応じてセットされ、信号IRSTの活性化(“L”レベルへの変化)に応じてリセットされ、信号FPFDSを出力するSRフリップフロップ回路3956と、信号IRSTの活性化(“L”レベルへの変化)に応じてセットされ、信号RDRSTまたは信号SDRSTの活性化(“L”レベルへの変化)に応じてリセットされ、信号FDRSTを出力するSRフリップフロップ回路3958と、信号SCNTの活性化に応じてセットされ、信号IRSTの活性化に応じてリセットされ、

信号FCNTを出力するSRフリップフロップ回路3960を含む。

【0262】フラグ生成回路3904は、さらに、信号STLATの活性化に応じてセットされ、信号IRSTまたは信号RTLATの活性化に応じてリセットされ、信号FTLATを出力するSRフリップフロップ回路3962と、信号RFRSTの活性化に応じてセットされ、信号IRSTの活性化に応じてリセットされ、信号FFRSTを出力するSRフリップフロップ回路3964と、信号RTRSTの活性化に応じてセットされ、信号IRSTの活性化に応じてリセットされ、信号FTRSTを出力するSRフリップフロップ回路3966を含む。

【0263】フラグ生成回路3904は、さらに、信号SCNTFの活性化に応じてセットされ、信号IRSTの活性化に応じてリセットされ、信号FCNTFを出力するSRフリップフロップ回路3968と、信号RFRSTまたは信号RDLSPLの活性化に応じてセットされ、信号IRSTまたは信号SDLSPの活性化に応じてリセットされ、信号FDLSPLを出力するSRフリップフロップ回路3970と、信号SRST2の活性化に応じてセットされ、信号IRSTまたは信号RRST2の活性化に応じてリセットされ、信号FRST2を出力するSRフリップフロップ回路3972を含む。

【0264】遅延回路3906は、信号FPFDSを受けて所定時間遅延した後、信号FPFDとして出力する。

【0265】図43は、DLL/PLL切換信号生成回路3908の構成を示す回路図である。

【0266】DLL/PLL切換信号生成回路3908は、信号STLATの活性化に応じてセットされ、リセット信号生成回路3910からの信号TFRSTの活性化に応じてリセットされるSRフリップフロップ回路3988と、信号TMDLPLとSRフリップフロップ回路3908の出力とを受けるNAND回路3984と、NAND回路3984の出力を受けて、信号FSLDPを出力するインバータ3986を含む。

【0267】したがって、信号TMDLPLが“L”レベルであって、DLL動作モードが指定されている場合には、信号FSLDPは“L”レベルである。一方、信号TMDLPLが“H”レベルであって、PLL動作モードが指定されている場合には、信号FSLDPは遅延制御値保持回路170に対して固定値の遅延制御値の取込みが信号FTLATの活性化により指示される時に、“H”レベルとなる。

【0268】以上のような構成により、図7および図8で説したような内部クロック生成回路2100の動作が実現されることになる。

【0269】〔実施の形態1の変形例〕図44は、実施の形態1の変形例のDLL動作モードとPLL動作モー



ドとを切換えて動作させることが可能なDPLL回路4018の構成を示す概略ブロック図である。

【0270】図44を参照して、内部同期信号発生回路4018は、入力された信号を所定時間遅延して出力する可変遅延回路110を含む。

【0271】可変遅延回路110は、互いに直列に接続された第1の遅延回路110、1と第2の遅延回路110、2を含む。

【0272】内部同期信号発生回路4018は、さらに、外部クロック信号Ext. CLKと第1の遅延回路110、1の出力信号とを受けて、外部クロック信号Ext. CLKまたは遅延回路110、1の出力信号の反転信号を選択的に可変遅延回路110に出力するマルチプレクサ2310と、第1の遅延回路110、1の出力と第2の遅延回路110、2の出力とを受けて、いずれかを選択的に内部クロック信号Int. CLKとして出力するマルチプレクサ2320と、第1の遅延回路110、1の出力を受けて、所定の分周比で分周する分周部2300と、分周部2300の出力と第2の遅延回路110、2の出力を受けて選択的に出力するマルチプレクサ2410と、マルチプレクサ2410の出力と外部クロック信号Ext. CLKとを受けて、両者の位相を比較し、マルチプレクサ2410の出力の位相が進んでいるか遅れているかに応じて、UP信号またはDOWN信号のいずれかを活性とする位相比較回路120と、位相比較回路120からのUP信号およびDOWN信号に応じて、動作するチャージポンプ回路4510と、チャージポンプ回路4510の出力ノードと電源電位との間に直列に接続されるキャパシタ4512および抵抗体4514と、チャージポンプ回路4510からの出力を受けて、可変遅延回路110の遅延量を制御する参照電位を生成する電圧生成回路4520とを備える。

【0273】以上のような構成でも、実施の形態1の内部同期信号生成回路と同様に、DLL動作モードとPLL動作モードとを切換えて動作させることが可能である。

【0274】この場合、DLL回路として動作する場合でも、PLL回路として動作する場合でも、可変遅延回路110、位相比較回路120、チャージポンプ回路4510、電圧生成回路4520等は、共通に利用できるのでチップ面積の増大を抑制可能である。

【0275】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図されている。

【0276】

【発明の効果】請求項1記載の同期型半導体記憶装置は、チップ面積の増大を抑制しつつ、DLL動作とPLL

L動作を切換えて動作させることが可能である。

【0277】請求項2記載の同期型半導体記憶装置は、外部クロック信号よりも高速で変化する内部クロック信号を生成することが可能である。

【0278】請求項3および4記載の同期型半導体記憶装置は、位相制御回路の構成を簡略化することが可能である。

【0279】請求項5記載の同期型半導体記憶装置は、予め遅延制御量の初期値を遅延検出回路により検出し、ディレイロックドループ回路の遅延量を設定しておくので、位相合わせの精度を上げた場合でも同期動作の完了までの時間を短縮することが可能である。

【0280】請求項6および7記載の同期型半導体記憶装置は、 $2^{j-1}$  × 1の電流を生成する定電流源セルからの電流と $1/2^k$ の電流を生成する定電流源セルからの電流を合成することで得られる電流値により、可変遅延回路の遅延時間を制御するので遅延量が2進数で表記されている場合でも、回路素子数の増加を抑制し高速な遅延時間制御が可能な内部同期信号発生回路を備える同期型半導体記憶装置を提供することが可能である。

【0281】請求項8記載の同期型半導体記憶装置は、内部クロック信号と外部クロック信号との同期を達成するまでの時間を短縮することが可能である。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の同期型半導体記憶装置1000の構成を示す概略ブロック図である。

【図2】 本発明の実施の形態1の内部同期信号発生回路2018の構成を示す概略ブロック図である。

【図3】 クロックツリー168の構成を示す概念図である。

【図4】 内部同期信号生成回路2018とクロックツリー168との構成をより詳細に説明するための概略ブロック図である。

【図5】 位相制御回路2800、マルチプレクサ2310および可変遅延回路110の構成をより詳しく説明するための概略ブロック図である。

【図6】 内部同期信号発生回路2018の動作を説明するためのフローチャートである。

【図7】 内部同期信号発生回路2018のDLL動作をより詳しく説明するためのタイミングチャートである。

【図8】 内部同期信号発生回路2018のPLL動作をより詳しく説明するためのタイミングチャートである。

【図9】 クロック生成回路2100中の可変遅延回路110の動作を模式的に示す概念図である。

【図10】 図9において説明した入力信号SRCLKと出力信号DSTCLKとの関係を示すタイミングチャートである。

【図11】 可変遅延回路110を含むリングオシレー



タの構成の一例を示す概略ブロック図である。

【図12】 図11のリングオシレータの動作を説明するためのタイミングチャートである。

【図13】 可変遅延回路110を含むリングオシレータの構成の他の例を示す概略ブロック図である。

【図14】 図13に示した構成のリングオシレータの動作を説明するためのタイミングチャートである。

【図15】 DLL動作モードとPLL動作モードとを切換えて動作可能とするための構成を示す概略ブロック図である。

【図16】 可変定電流回路140の構成をより詳細に説明するための、概略ブロック図である。

【図17】 参照電流生成回路141および定電流源セル群142の構成を説明するための回路図である。

【図18】 電流合成回路143および電圧生成回路150の構成を示す概略ブロック図である。

【図19】 可変遅延回路110中の遅延回路110aおよび110bの構成を示すブロック図である。

【図20】 図19に示したインバータInvt1の構成を示す回路図である。

【図21】 初期遅延制御値決定回路160の構成を示す概略ブロック図である。

【図22】 リセット信号生成回路162の構成を示すブロック図である。

【図23】 タイミング発生回路164の構成を示すブロック図である。

【図24】 比較論理回路166の構成を示す概略ブロック図である。

【図25】 図24に示した比較器1662の構成を示すブロック図である。

【図26】 図24に示したエンコーダ1670の構成を示す概略ブロック図である。

【図27】 クロック生成回路2100の機能ブロックの構成を示す概略ブロック図である。

【図28】 位相比較回路120の構成を説明するためのブロック図である。

【図29】 位相比較回路120の一方の入力信号SRCCLKと、他方の入力信号である信号REFCLKとの関係を示すタイミングチャートである。

【図30】 位相制御回路2800の構成を示す概略ブロック図である。

【図31】 UP/DOWN識別回路3100の構成を示す概略ブロック図である。

【図32】 制御値シフト回路3200の構成を示す概略ブロック図である。

【図33】 アップシフト演算回路3300の構成を示す回路図である。

【図34】 ダウンシフト演算回路3400の構成を示す回路図である。

【図35】 ビット演算器3510の構成を示す回路図である。

【図36】 可変遅延回路110、マルチプレクサ2310、電圧生成回路150の構成を説明するための概略ブロック図である。

10 【図37】 図36に示したマルチプレクサ2310の構成を示す概略ブロック図である。

【図38】 図5に示した分周部2300とマルチプレクサ2410の構成を示す概略ブロック図である。

【図39】 分周部2300中の4倍分周器2304の構成を説明するための回路図である。

【図40】 図5に示した制御回路2190の構成を説明するための概略ブロック図である。

【図41】 図40に示したタイミング信号生成回路3902の構成を説明するための概略ブロック図である。

20 【図42】 フラグ生成回路3904の構成を示す回路図である。

【図43】 DLL/PLL切換信号生成回路3908の構成を示す回路図である。

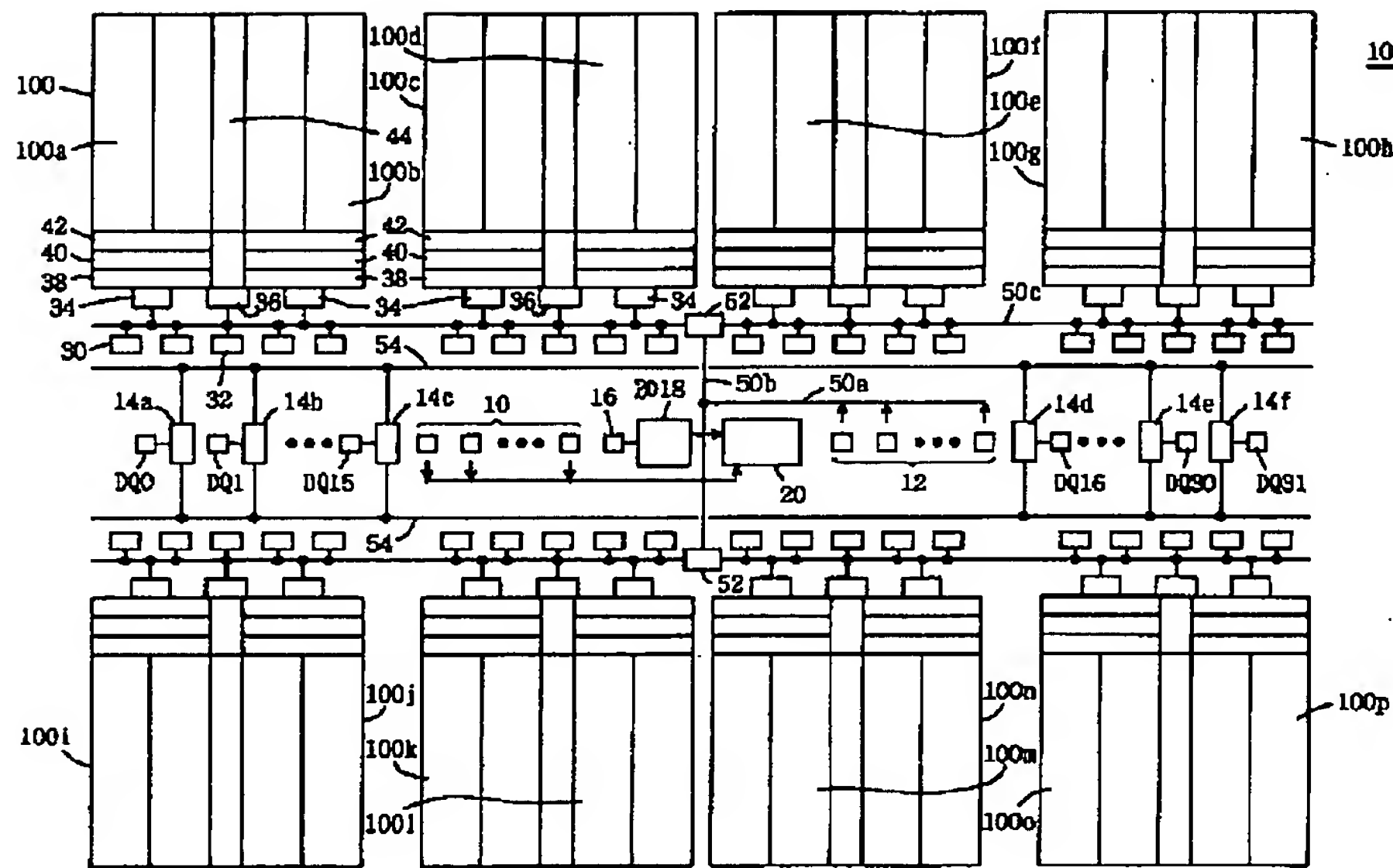
【図44】 実施の形態1の変形例のDPLL回路4018の構成を示す概略ブロック図である。

【図45】 従来の内部同期信号発生回路5000の構成を示す概略ブロック図である。

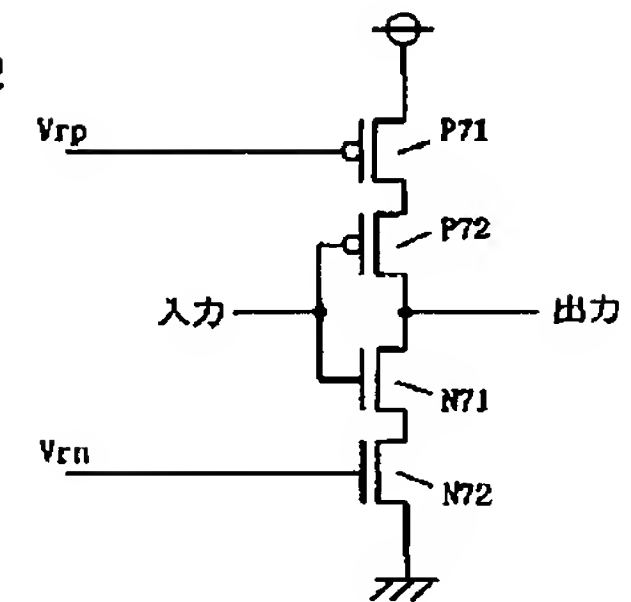
【符号の説明】

10 外部制御信号入力端子群、12 アドレス信号入力端子群、14 入出力バッファ回路、16 クロック信号入力端子、20 コントロール回路、30冗長列選択回路、32 冗長行選択回路、34プリデコーダ、36 行プリデコーダ、38 リード/ライトアンプ、40 コラムプリデコーダ、42 コラムデコーダ、44 ロウデコーダ、50a~50c アドレスバス、52 アドレスドライバ、54 データバス、100 メモリセルアレイ、110 可変遅延回路、120 位相比較回路、140 可変定電流回路、150 電圧生成回路、160 初期遅延制御値決定回路、170 遅延制御値保持回路、180シフト論理回路、190 検出制御回路、200, 210 マルチプレクサ、1000 同期型半導体記憶装置、2018 内部同期信号発生回路、2190制御回路、2300 分周部、2310, 2220, 2320, 2410 マルチプレクサ、2800 位相制御回路。

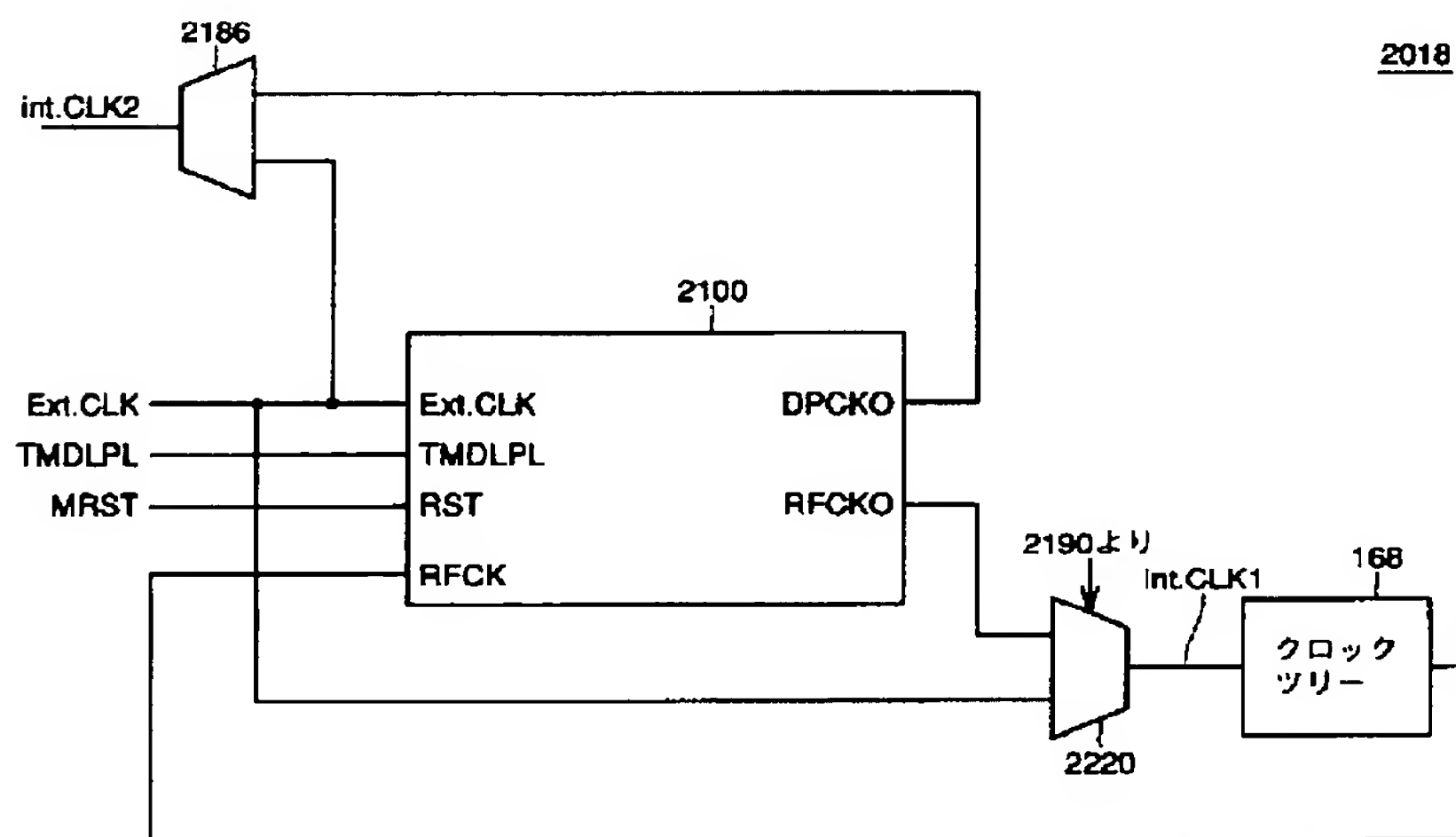
【図1】



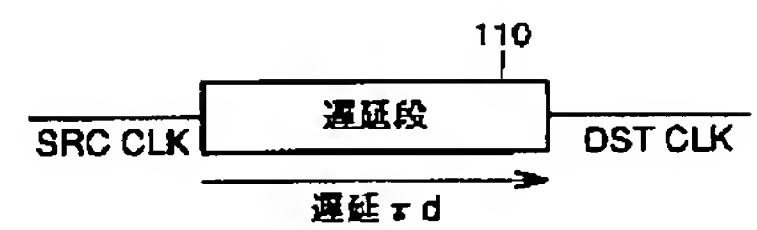
【図20】



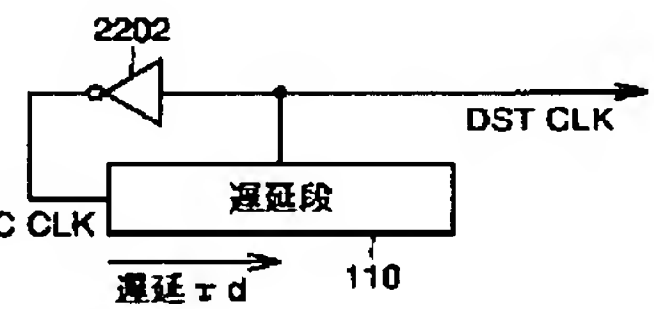
【図2】



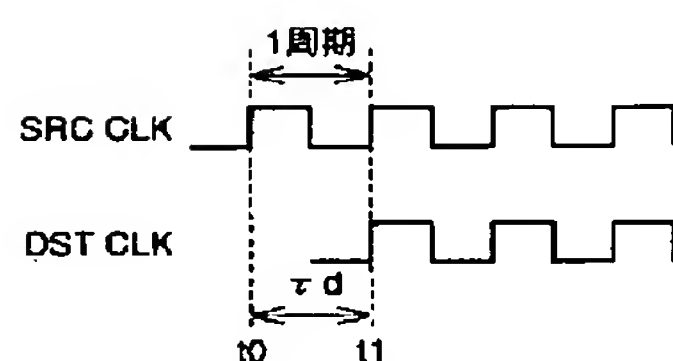
【図9】



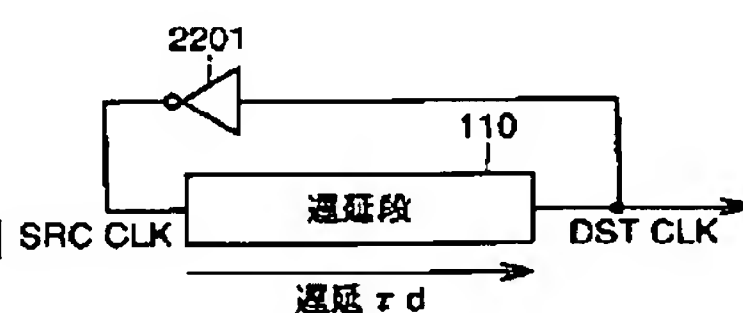
【図13】



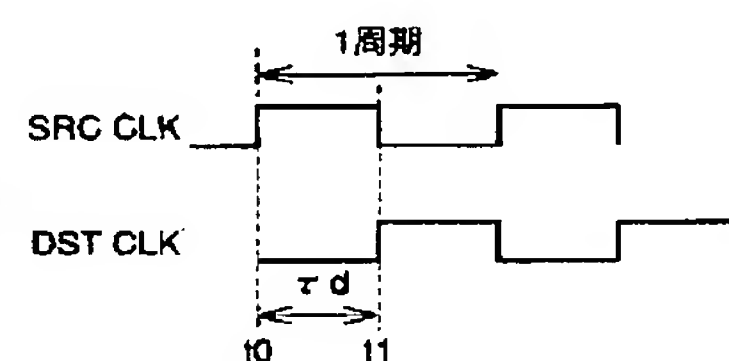
【図10】



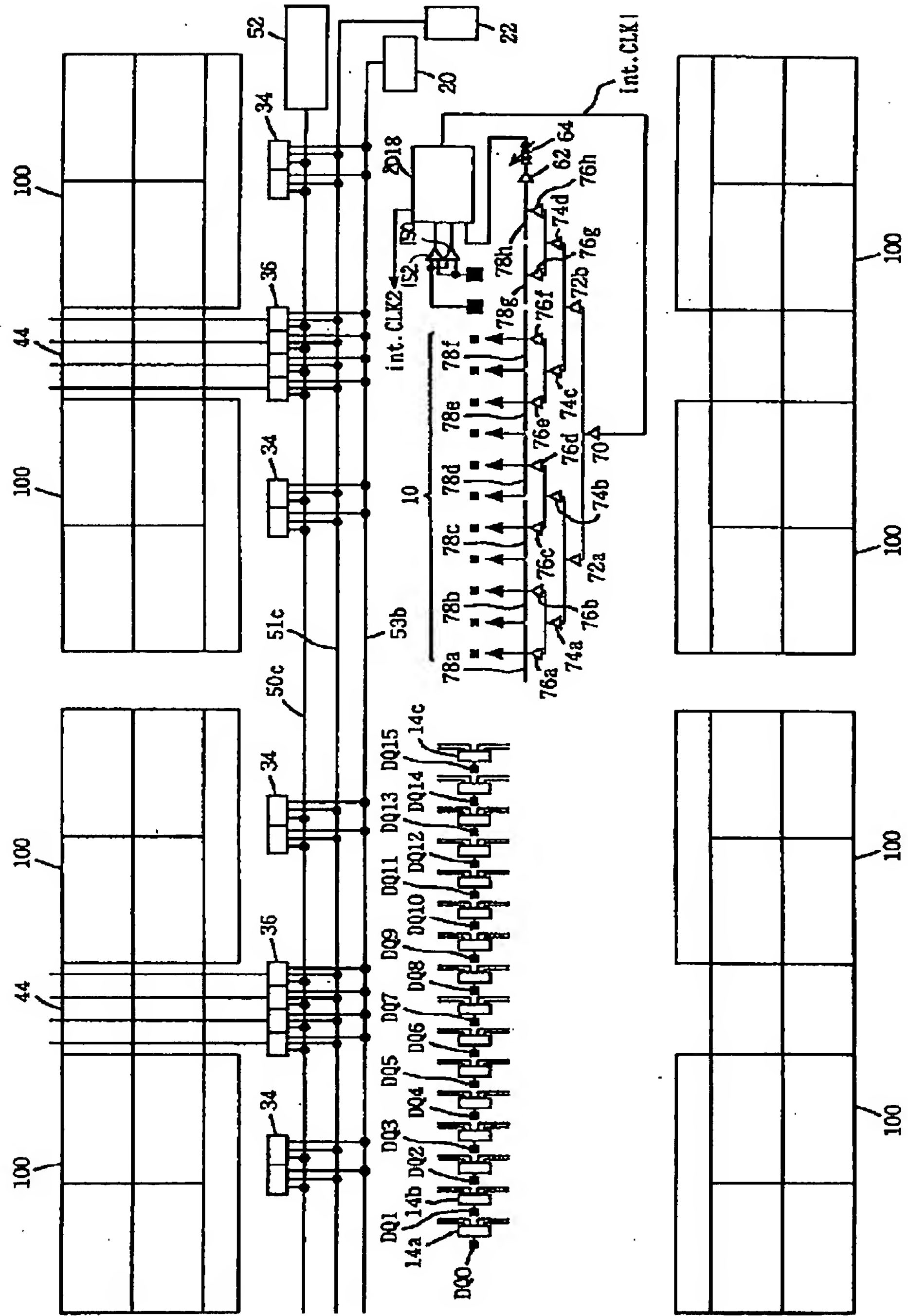
【図11】



【図12】

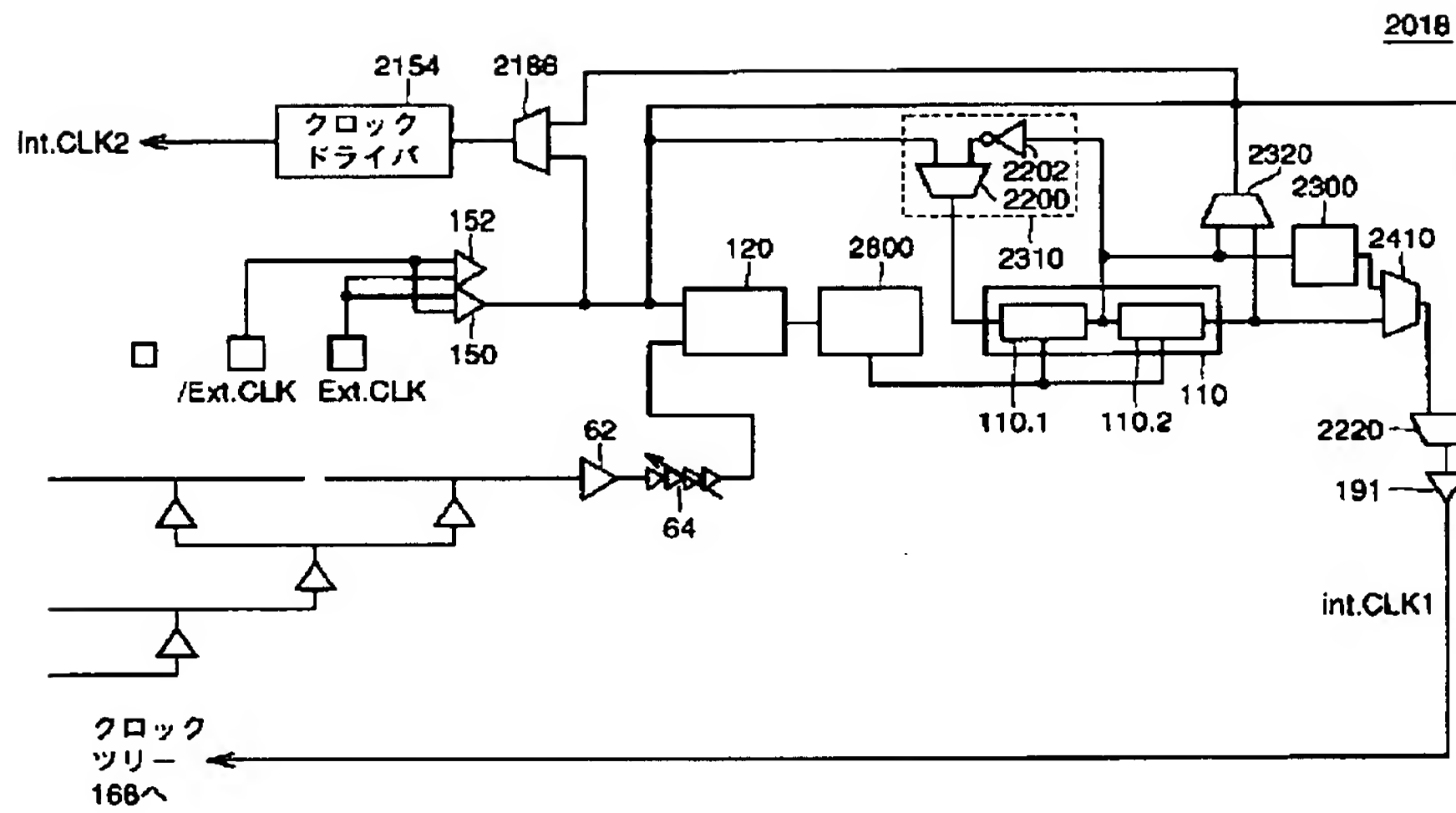


【図3】

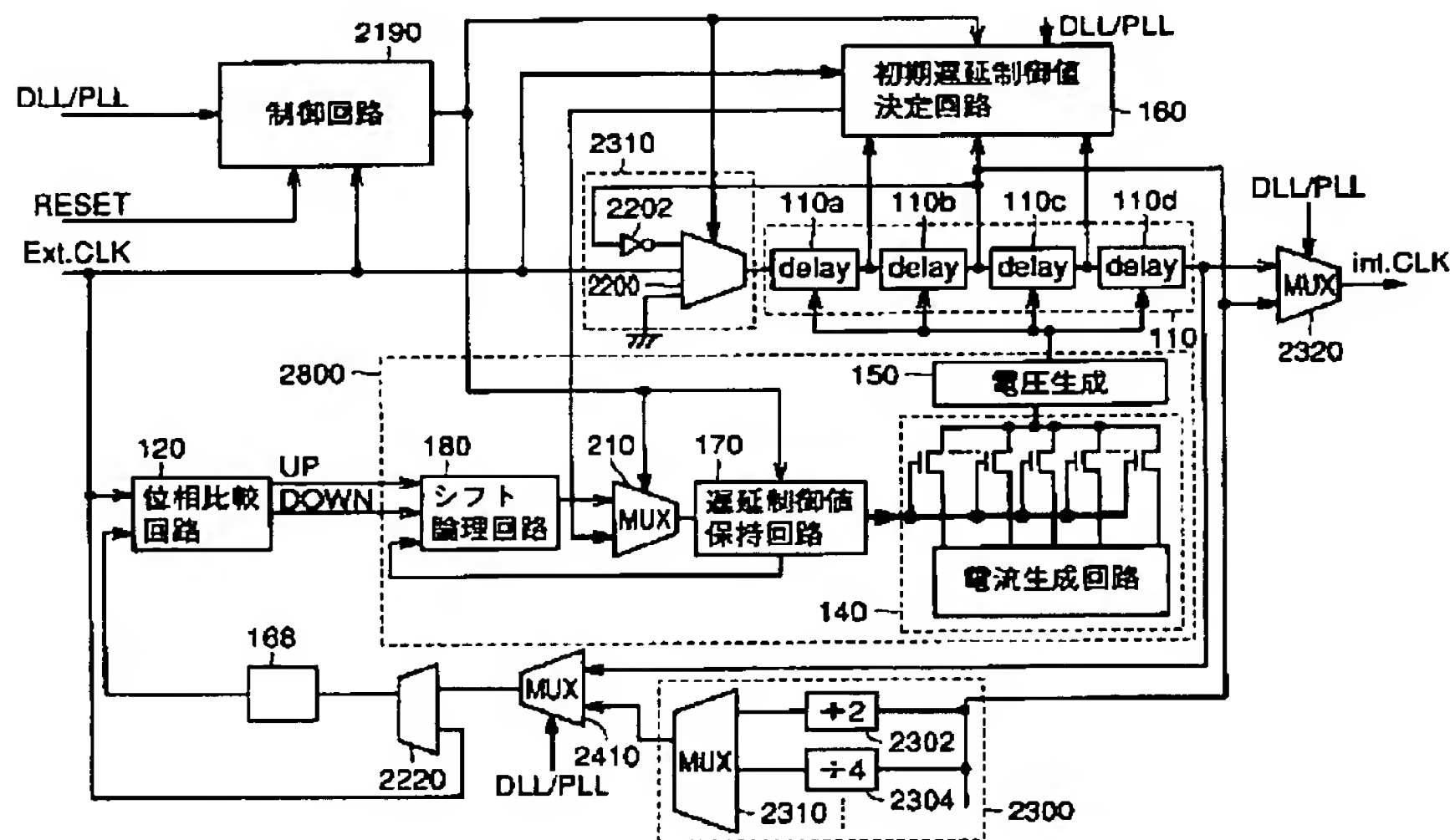




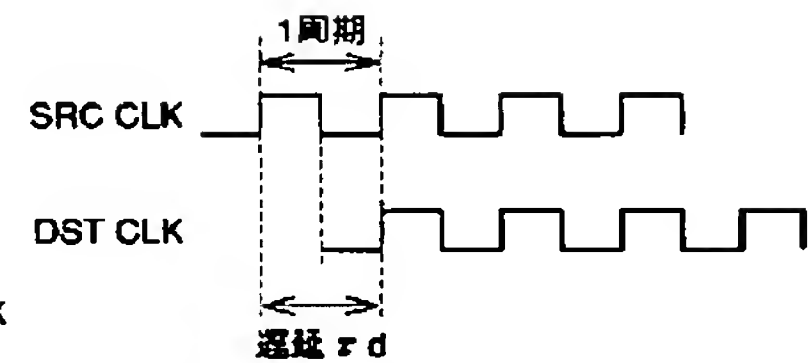
【図4】



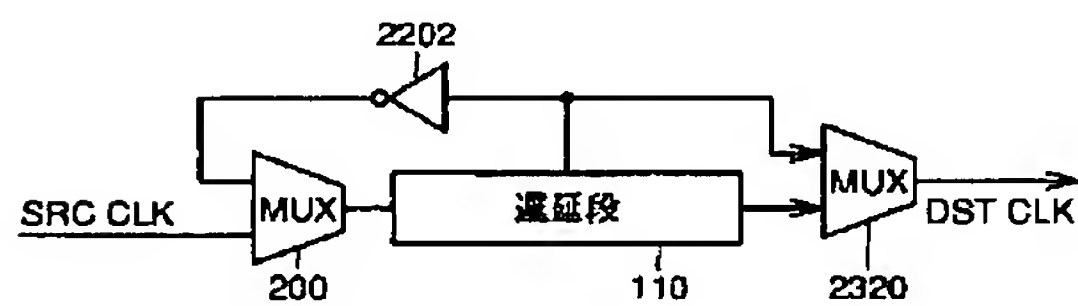
【図5】



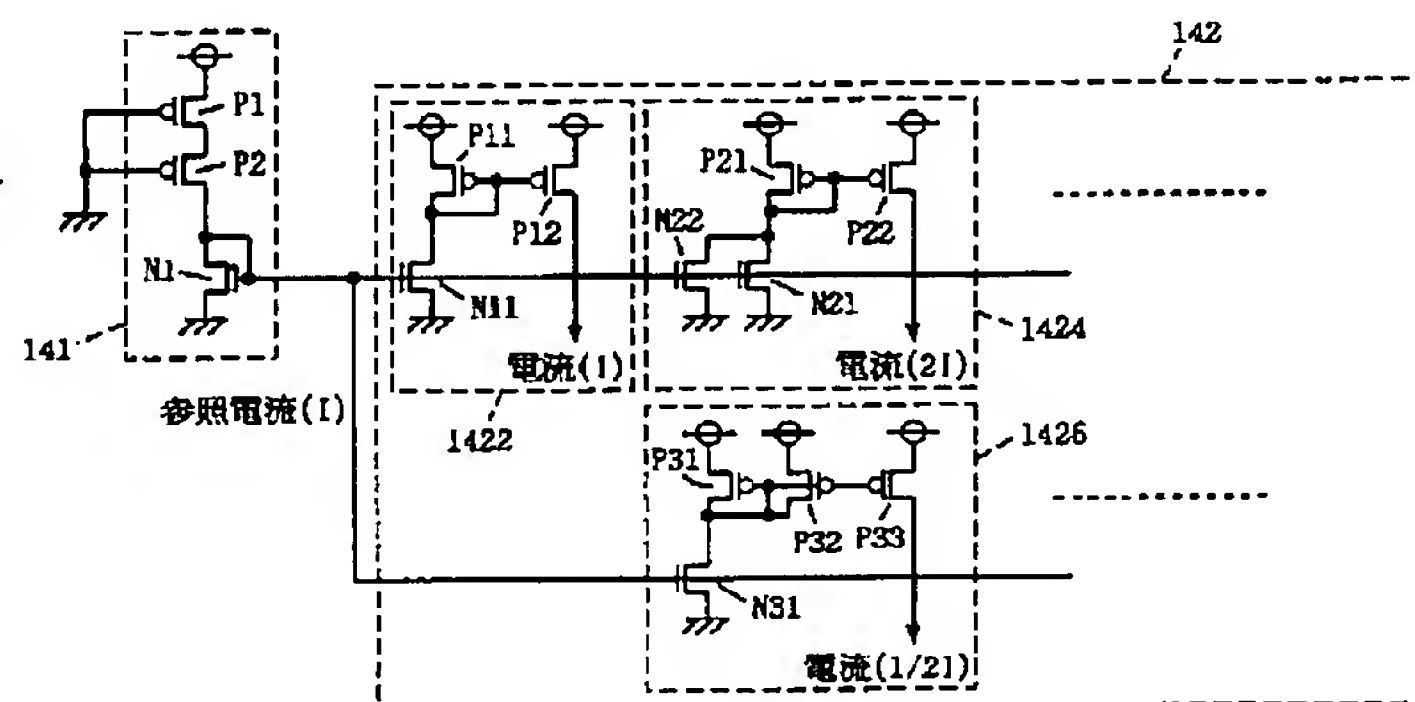
【図14】



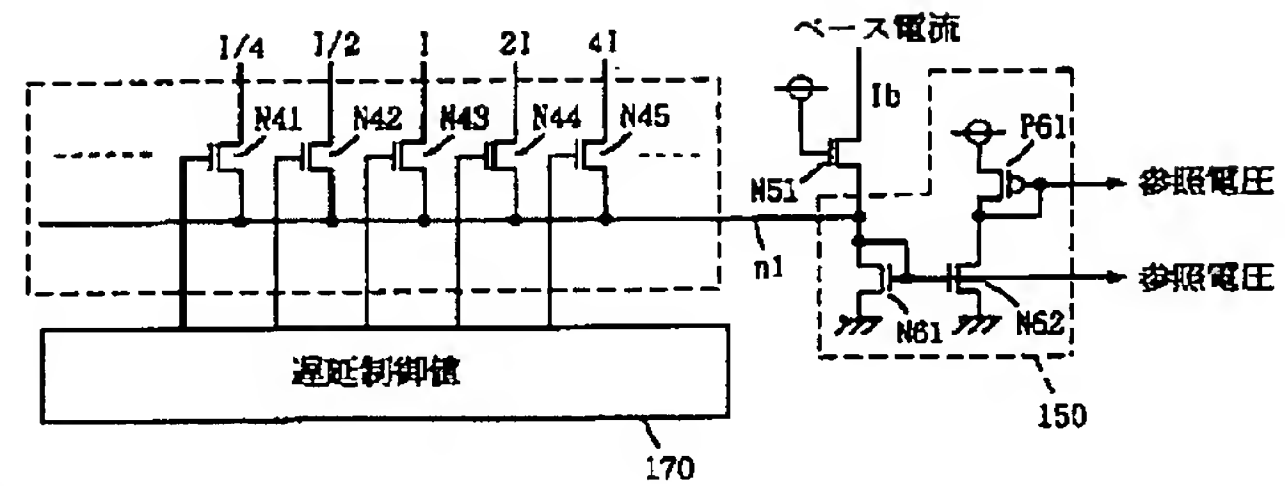
【図15】



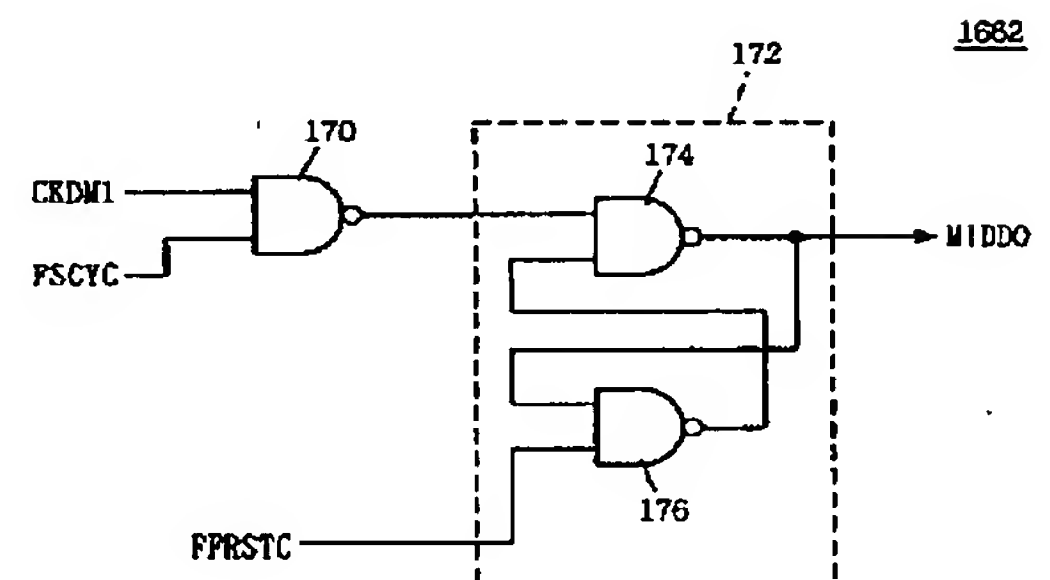
【図17】



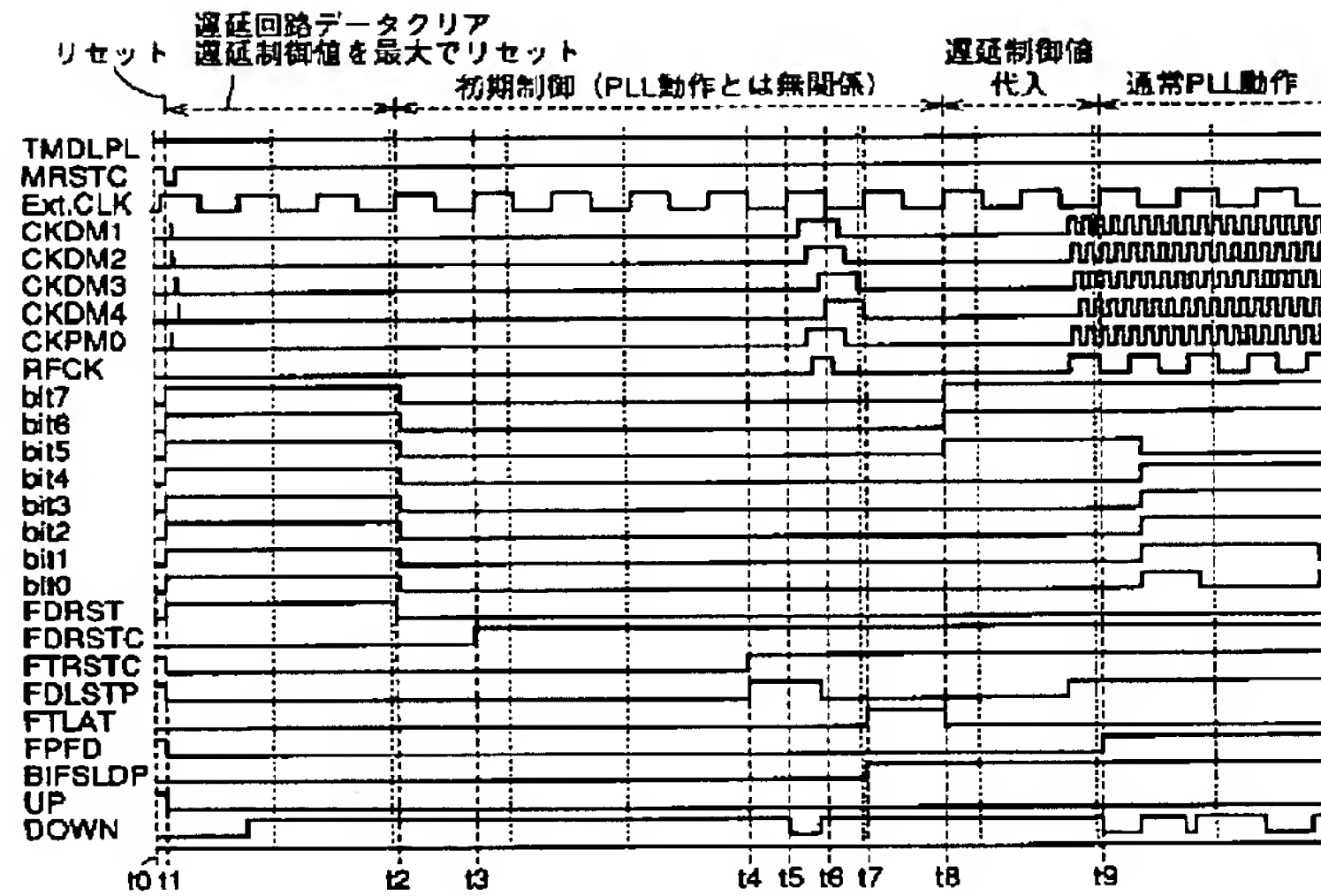
【图 18】



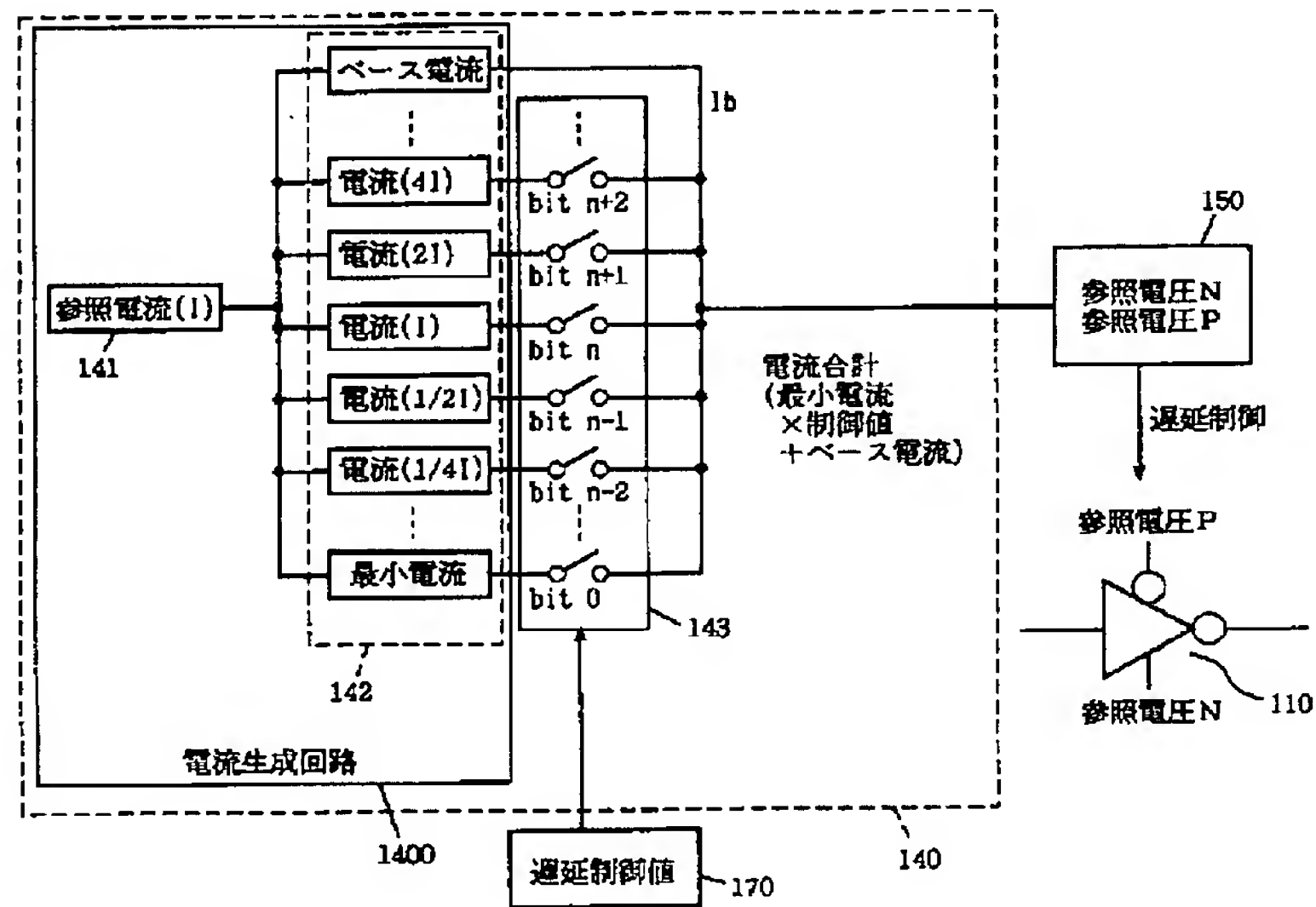
【図 25】



【図8】

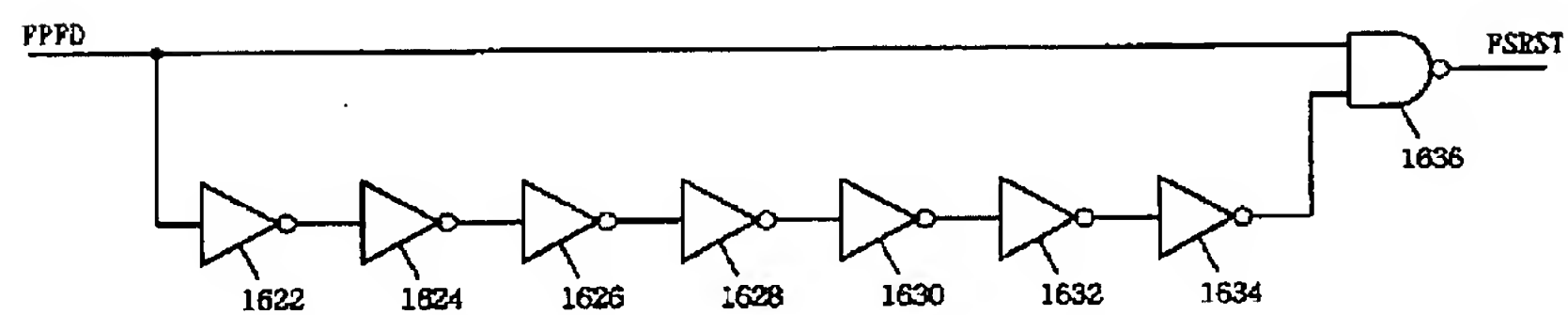


【図16】



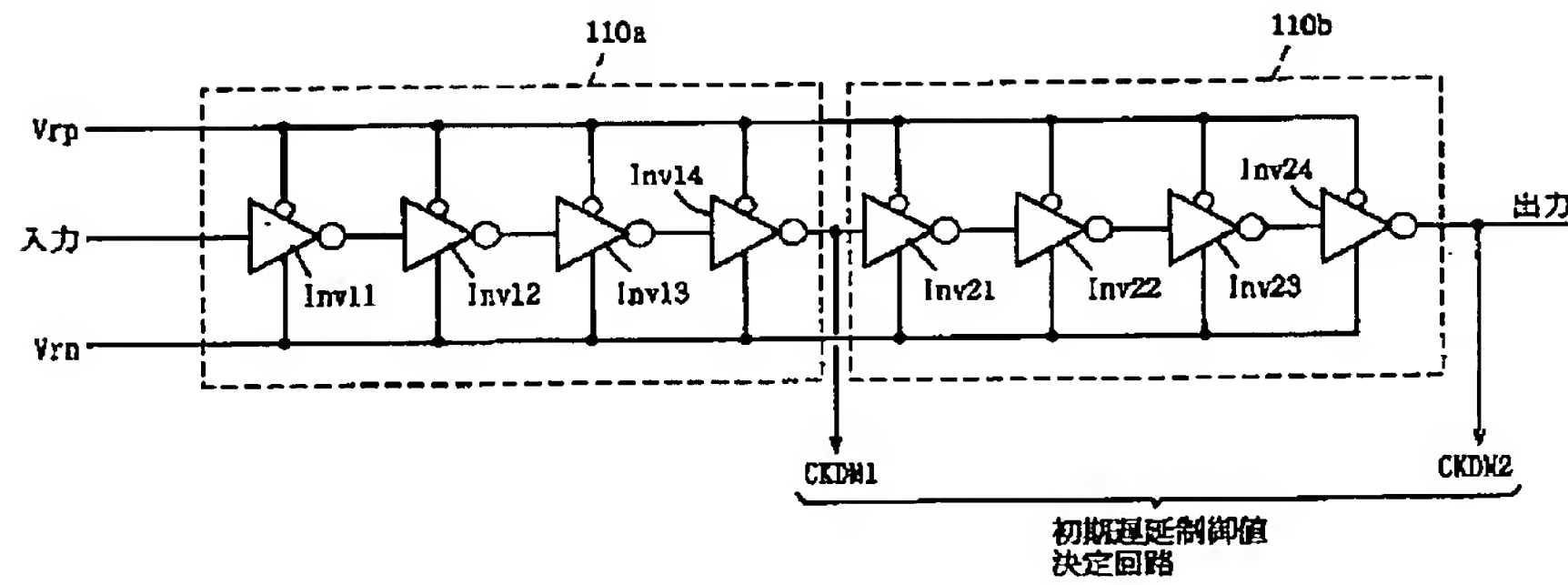
【図22】

162

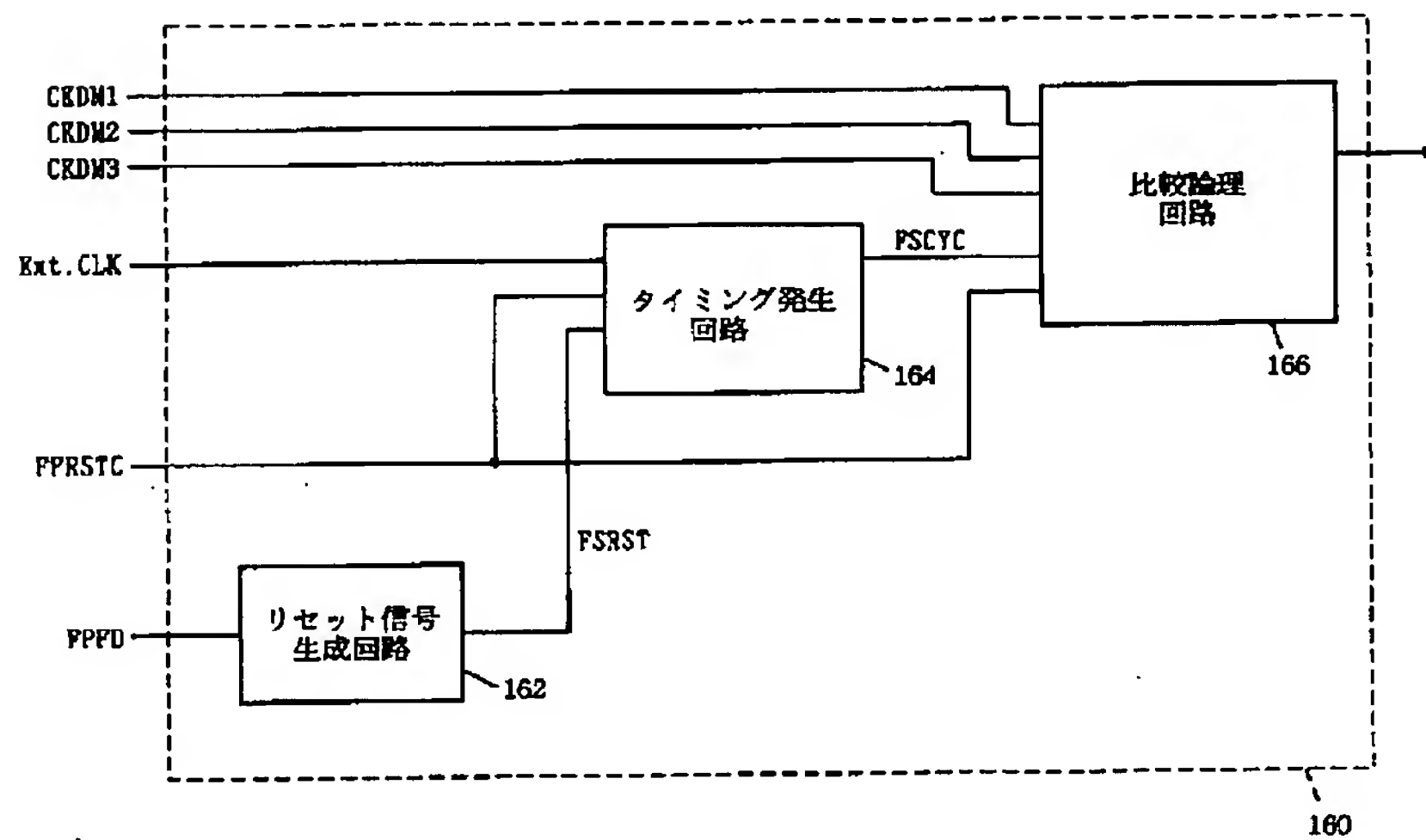




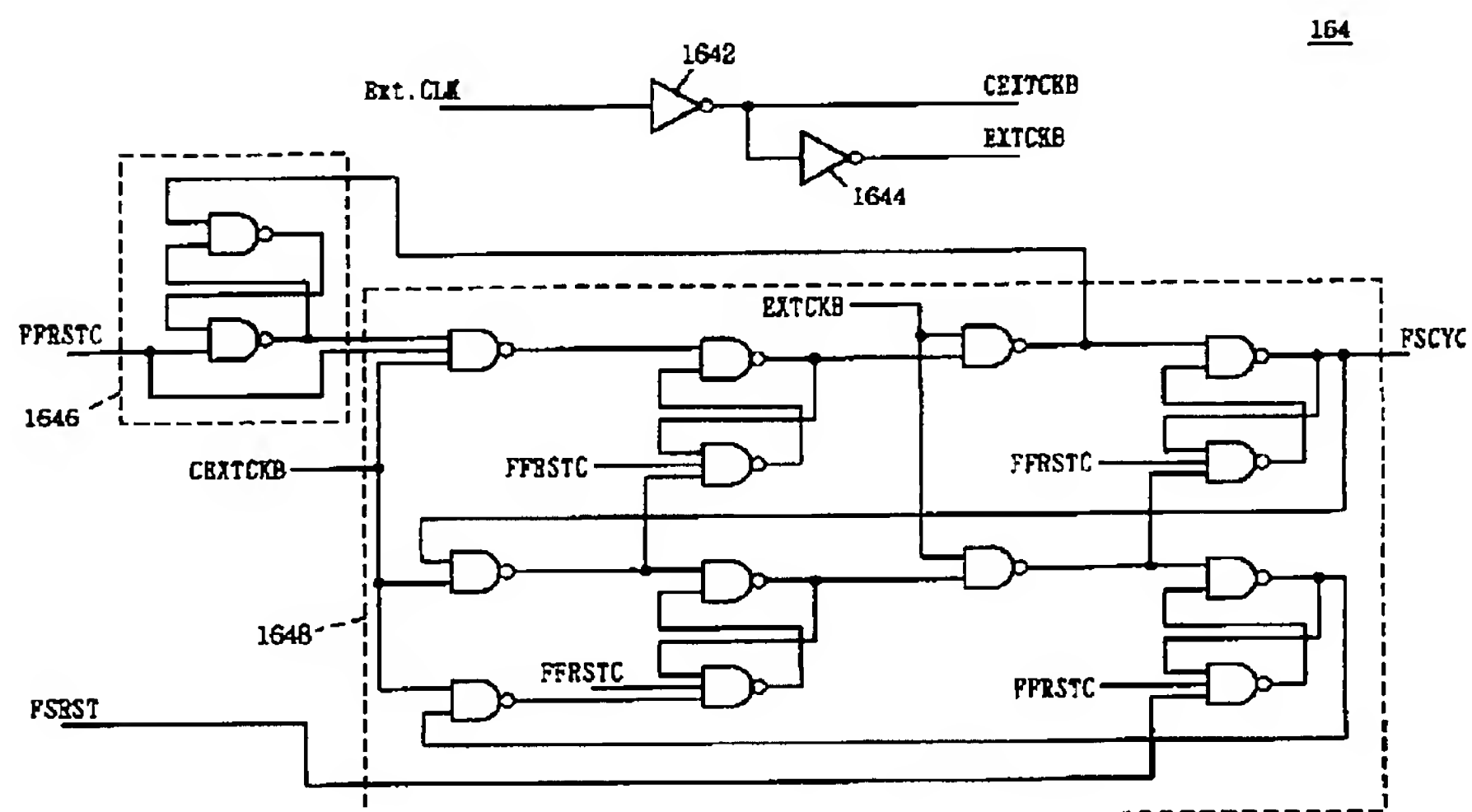
【図19】



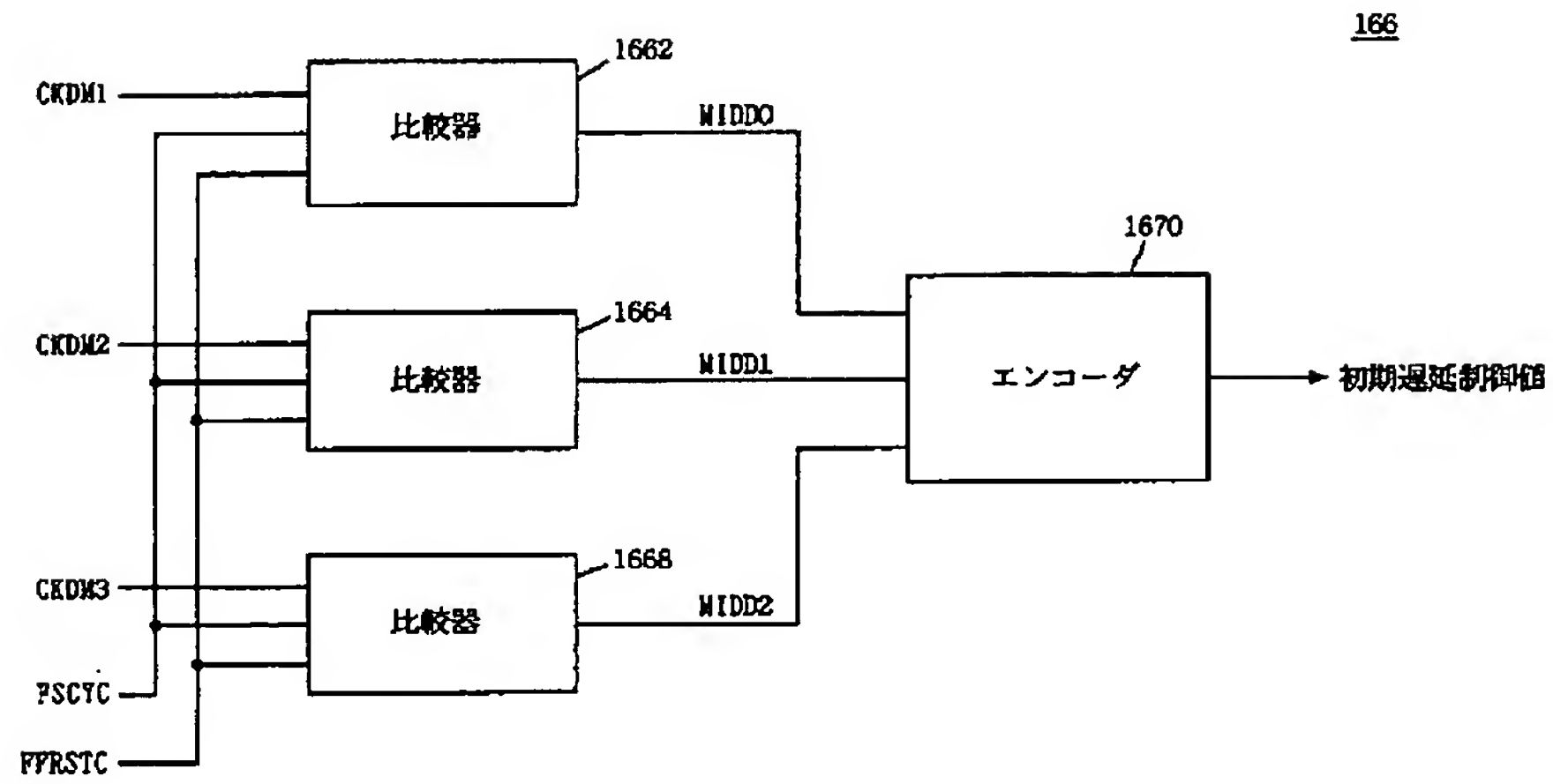
【図21】



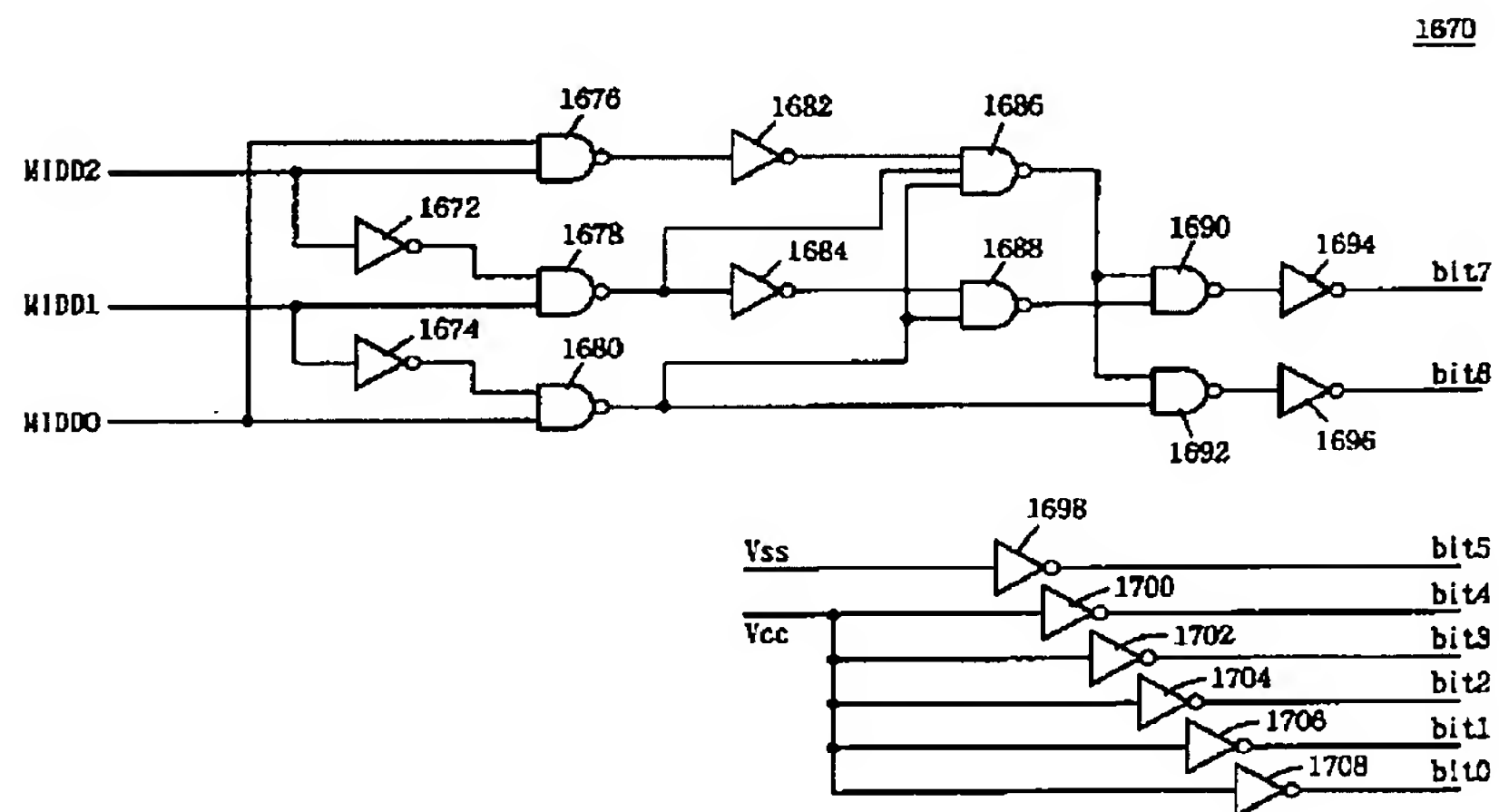
【図23】



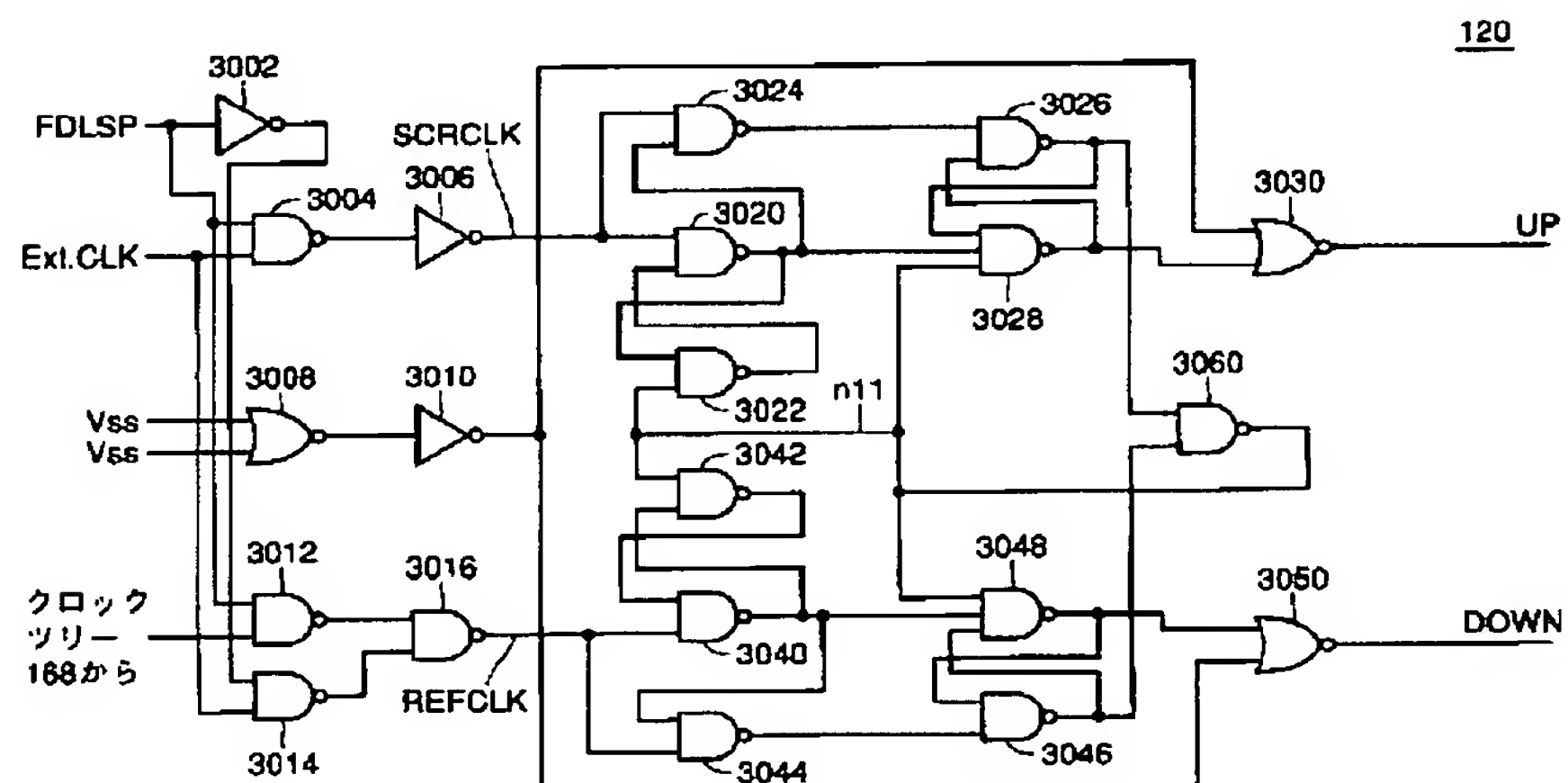
【図24】



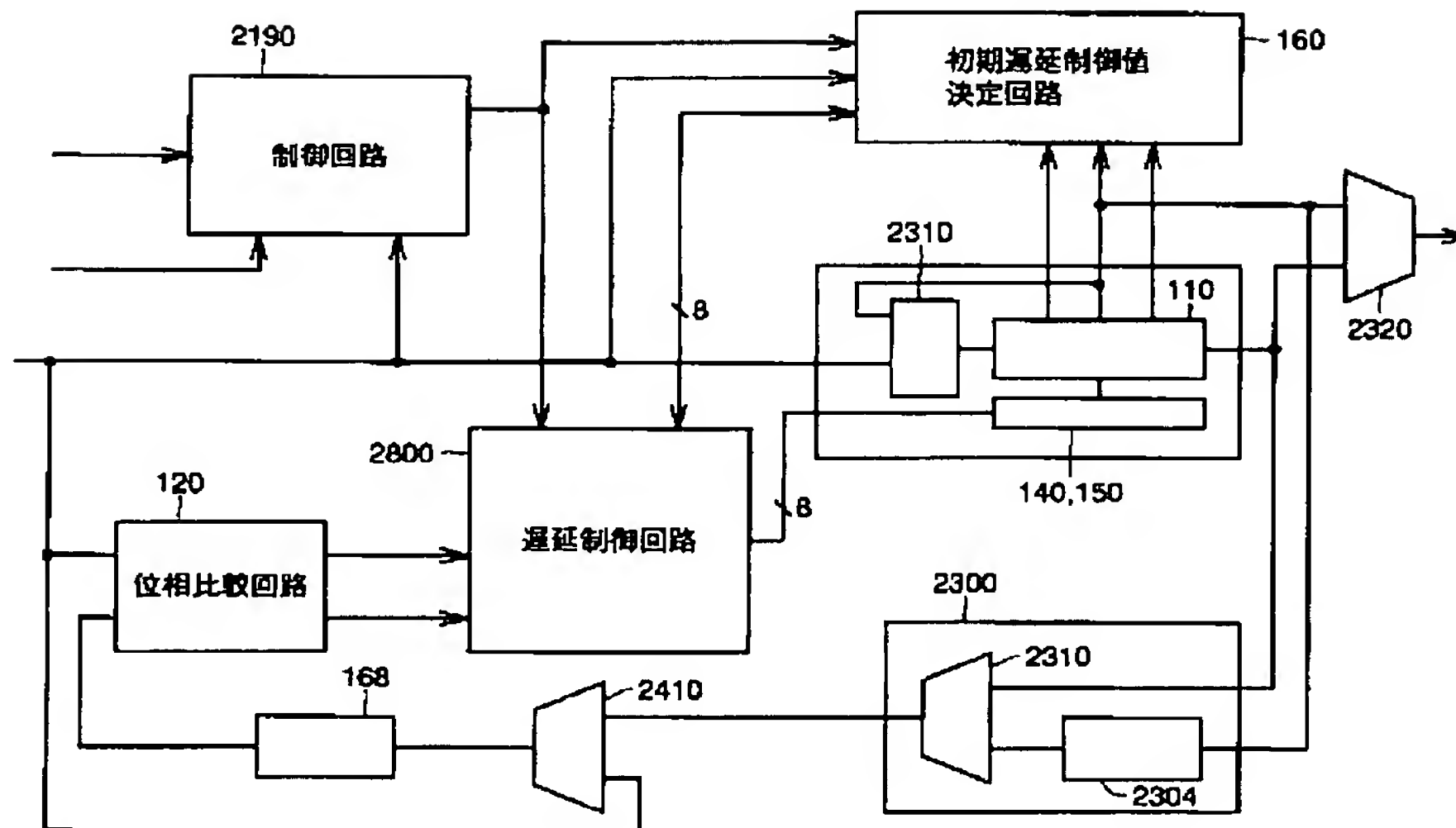
【図26】



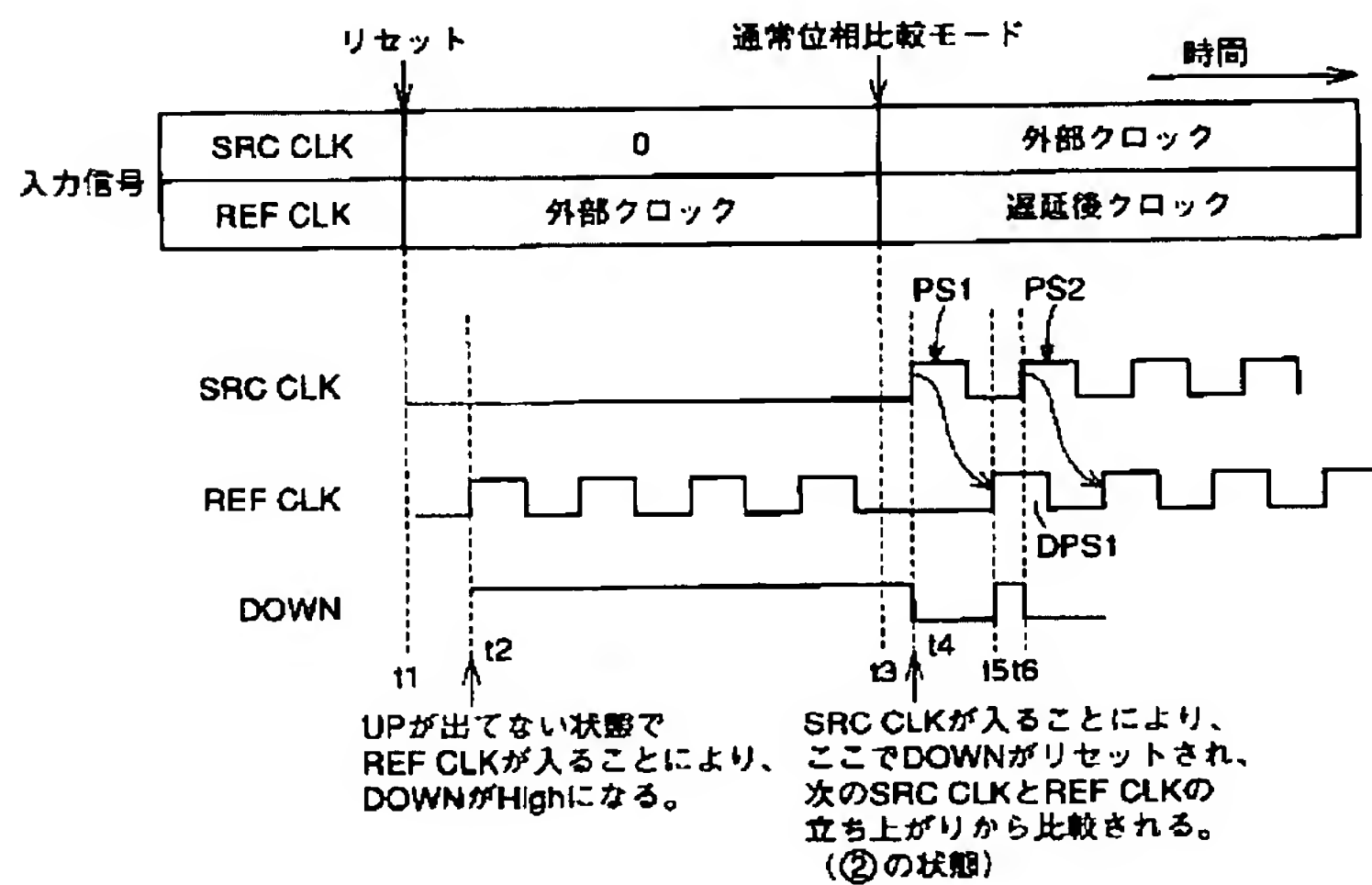
【図28】



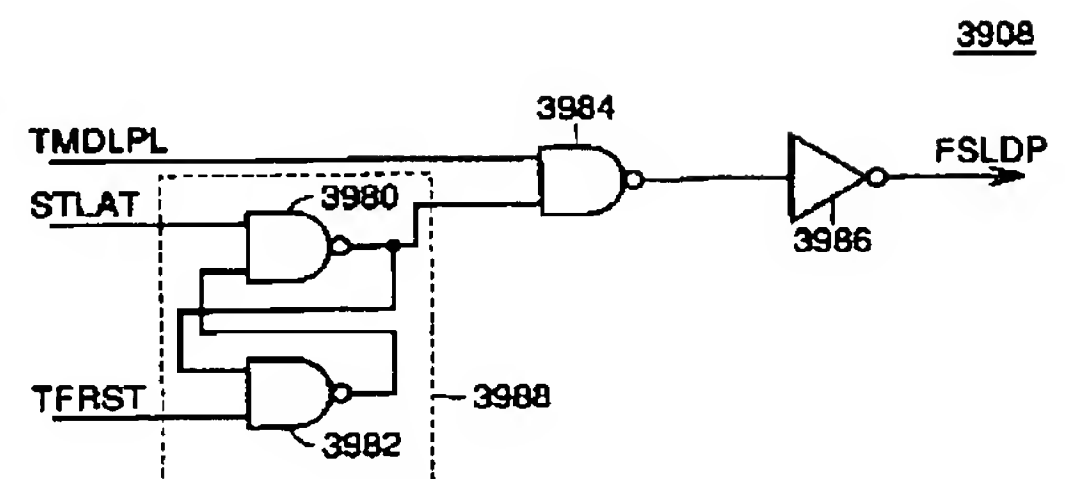
【図27】



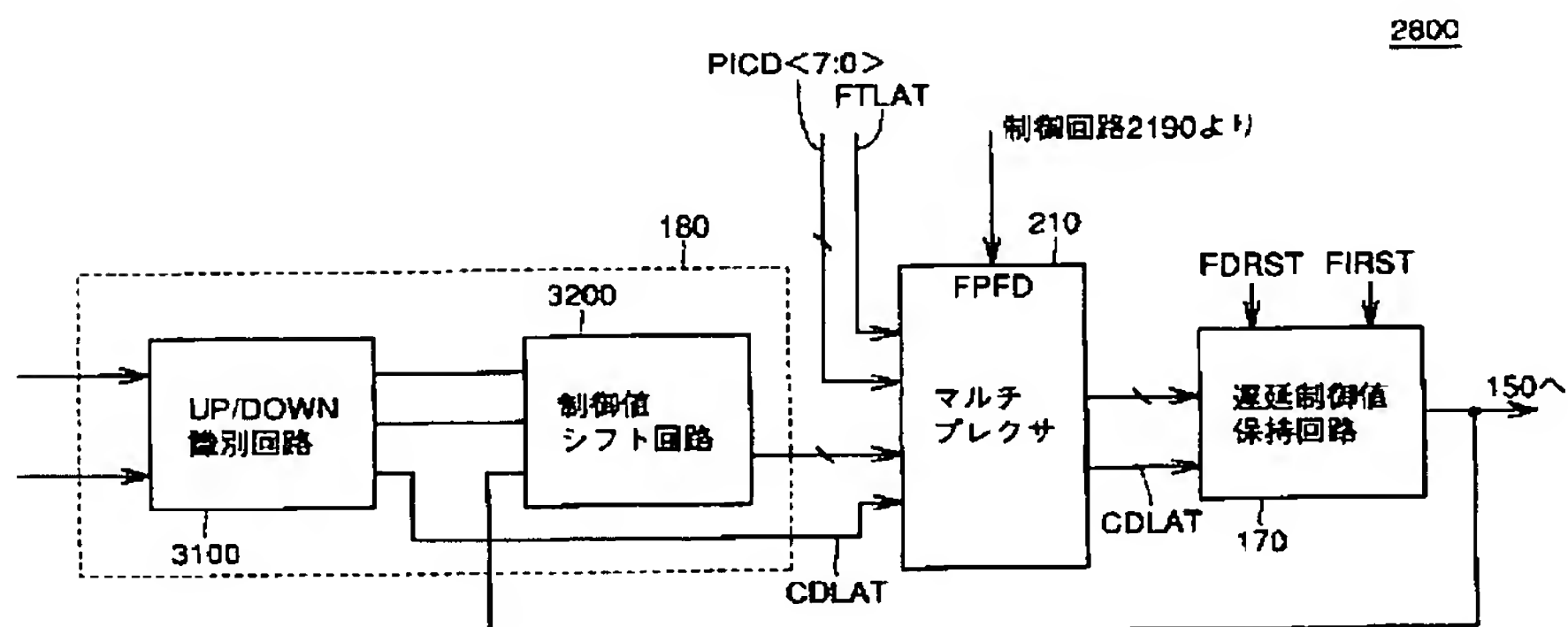
【図29】



【図43】

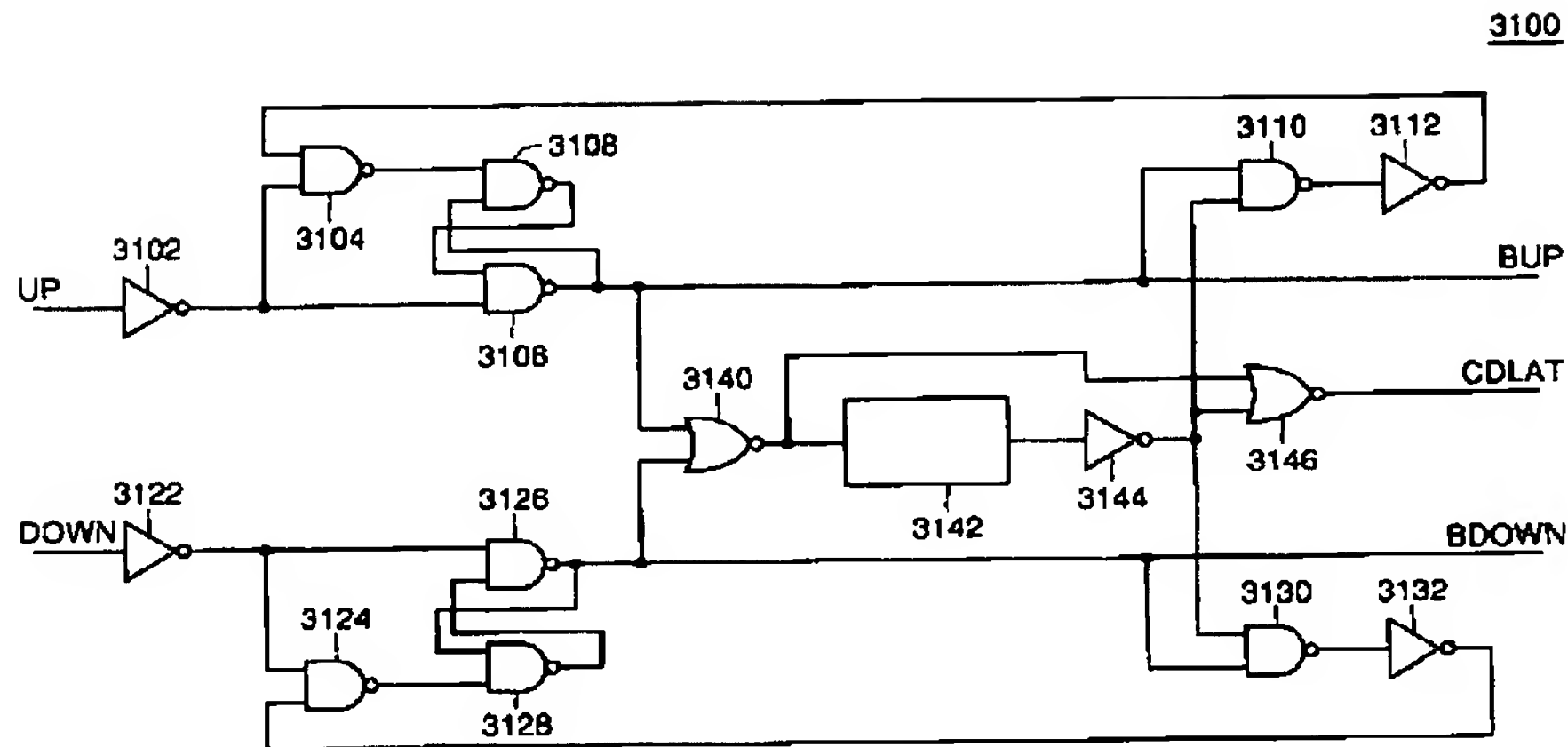


【図30】

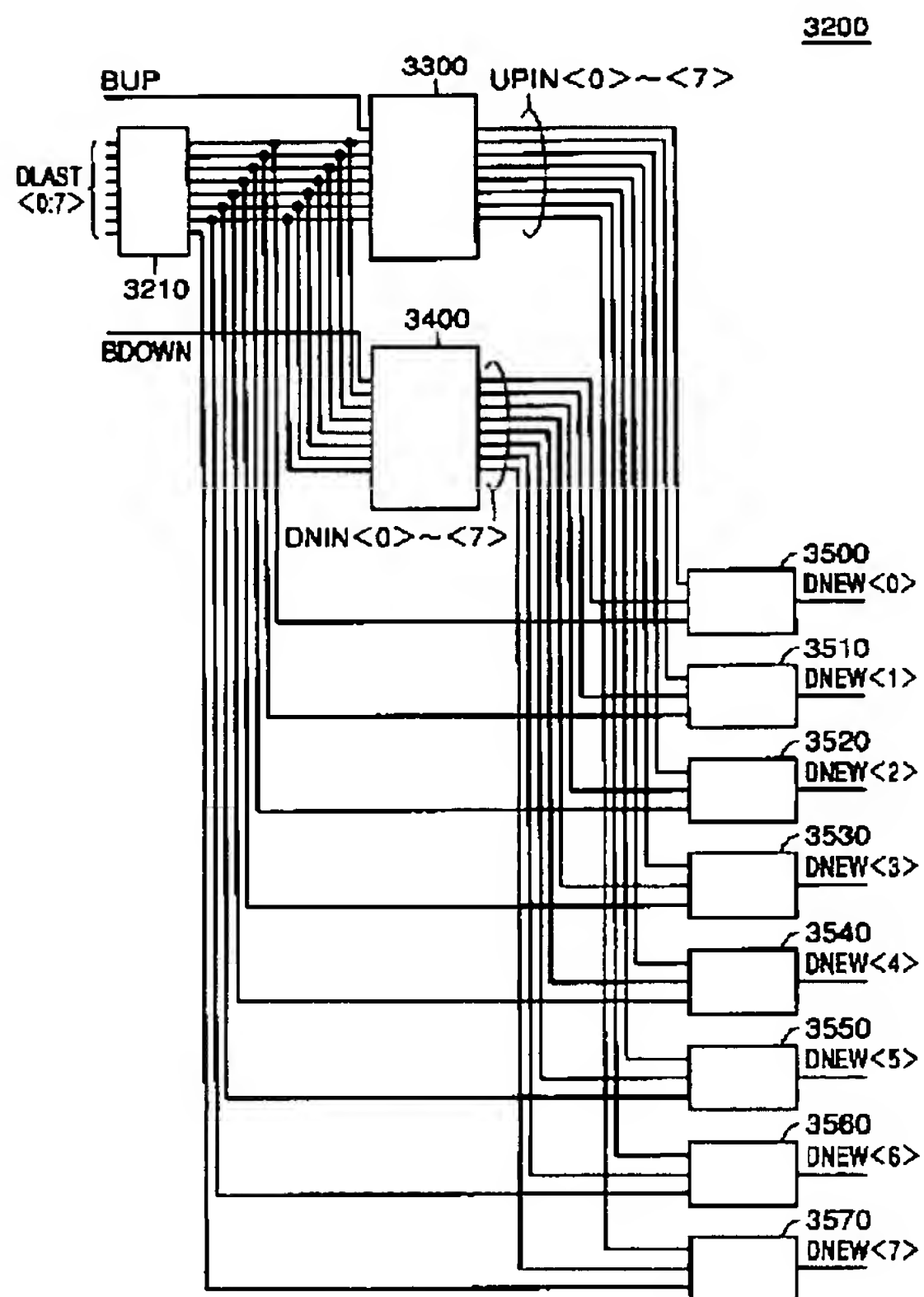




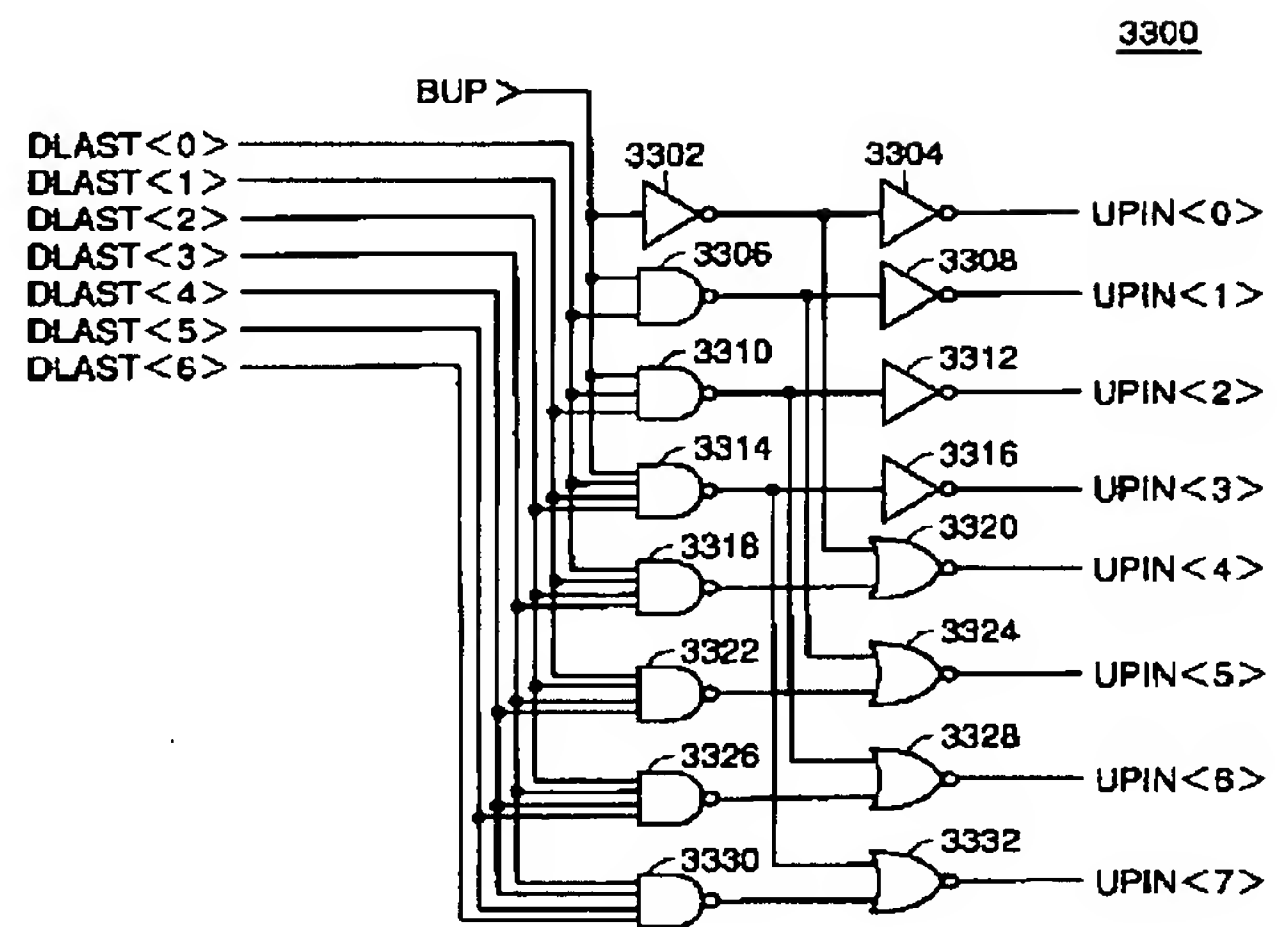
【図31】



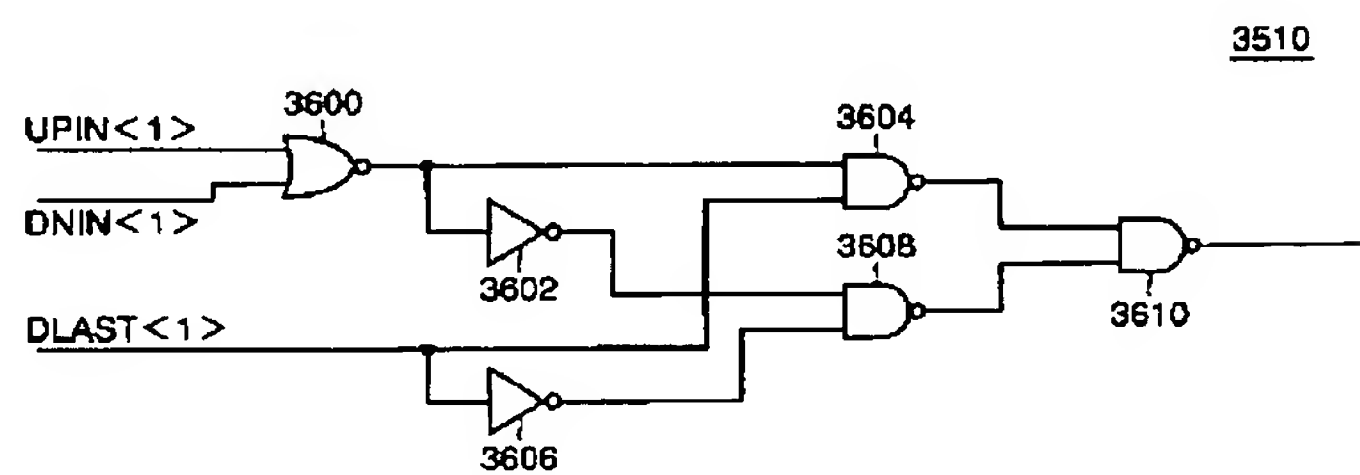
【図32】



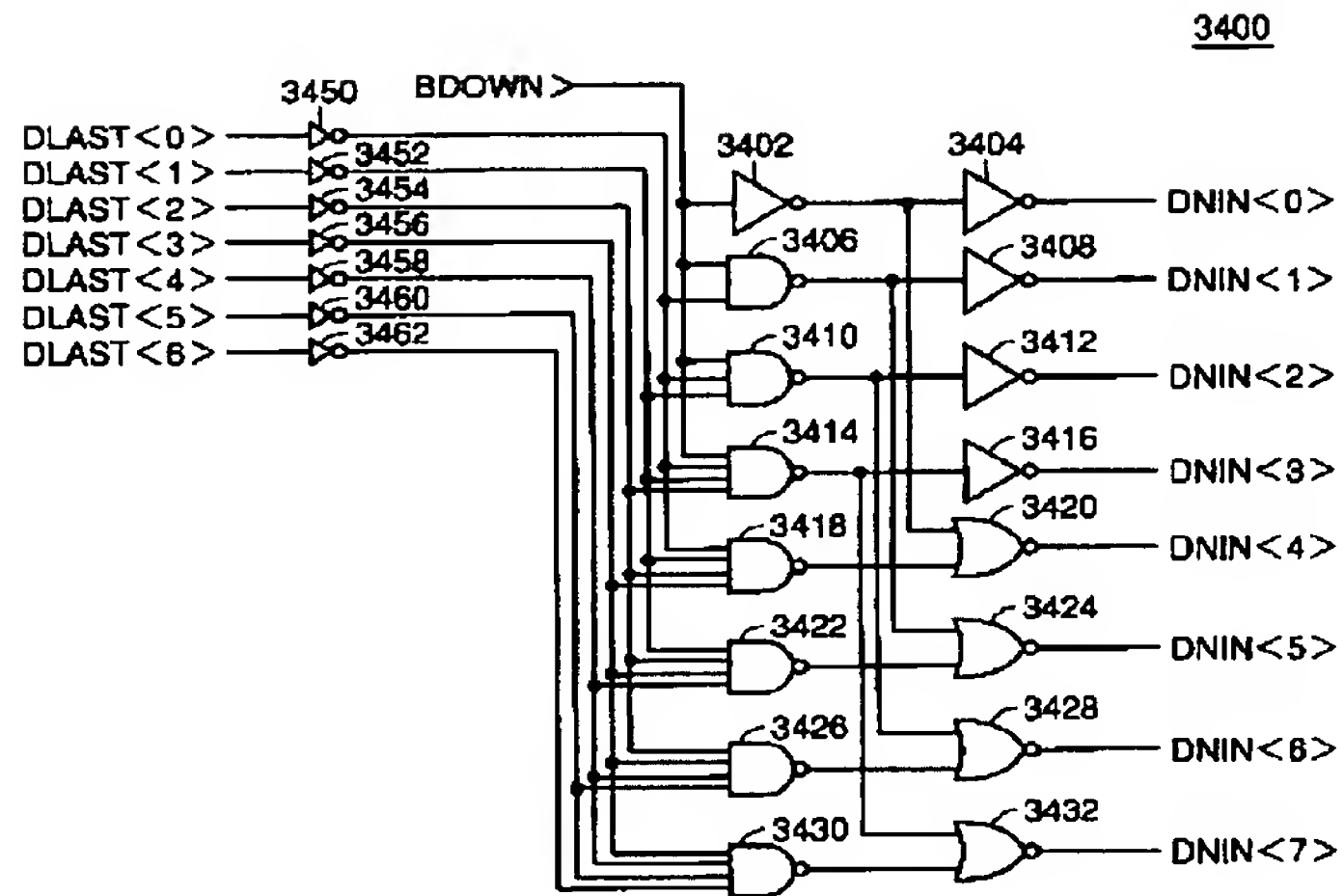
【図33】



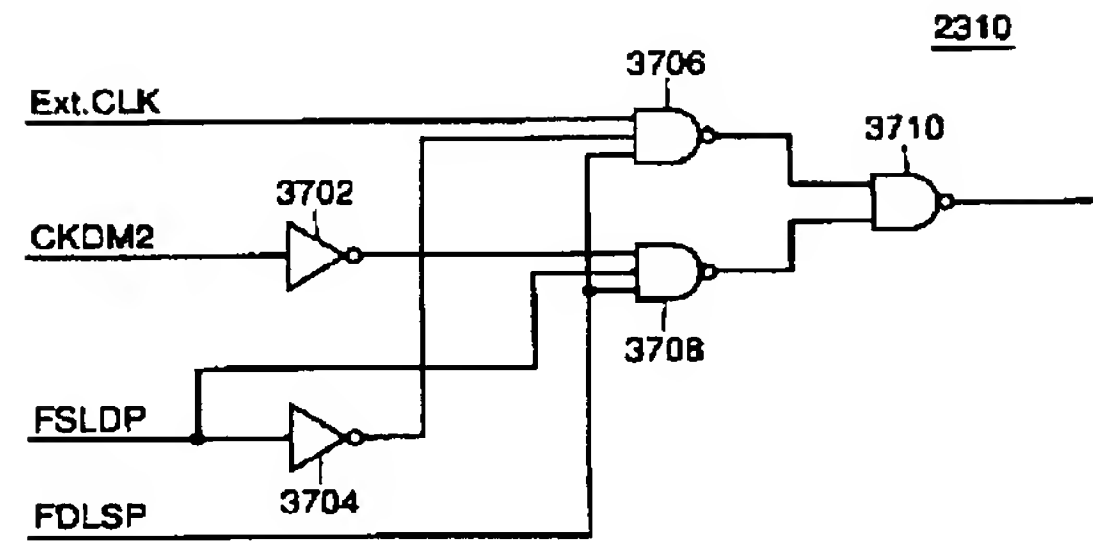
【図35】



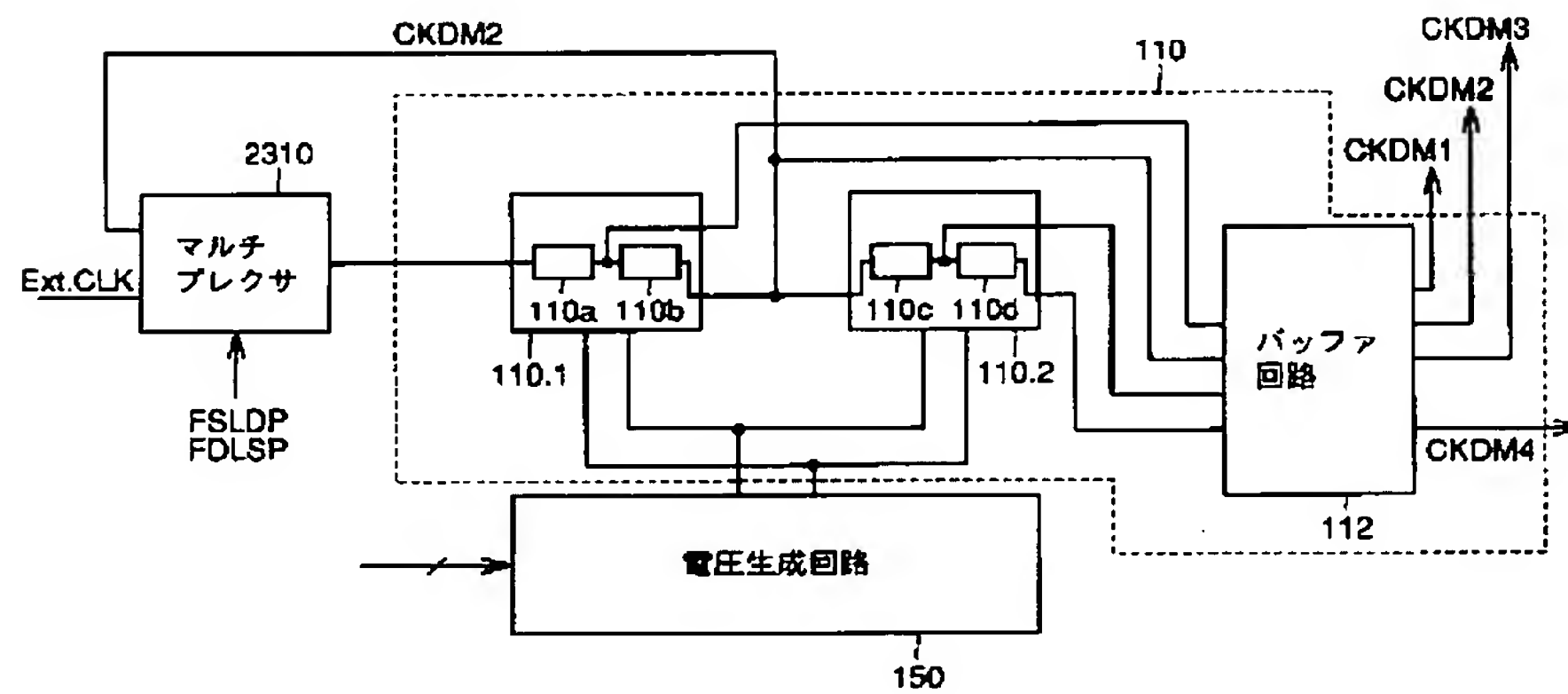
【図34】



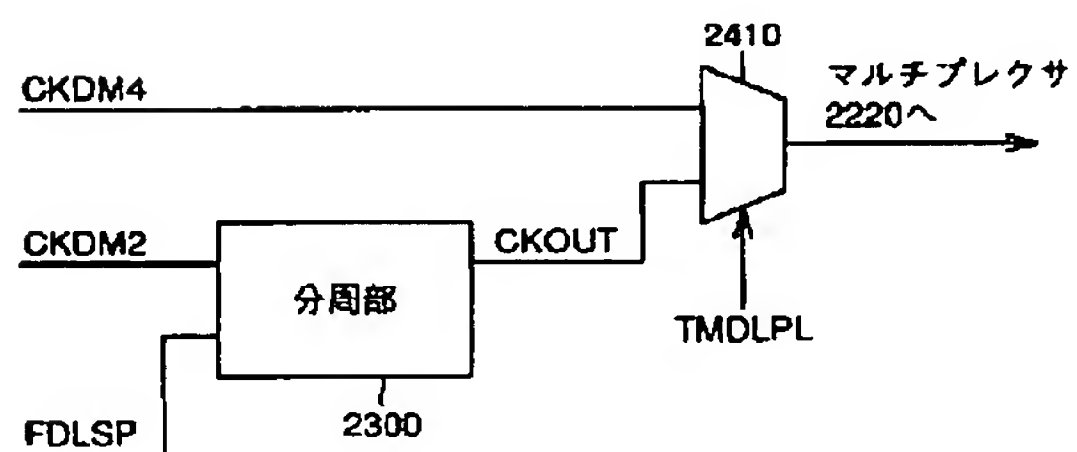
【図37】



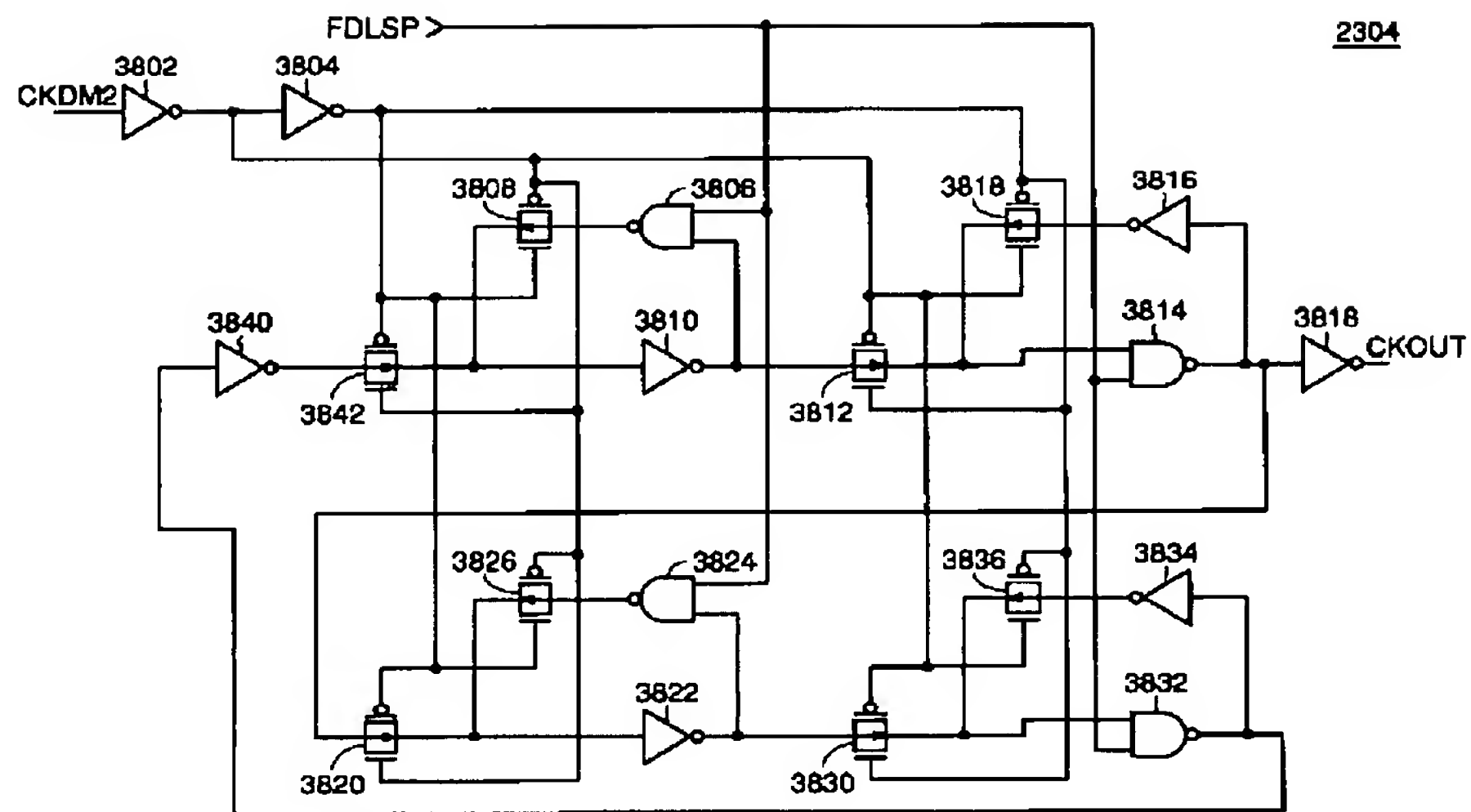
【図36】



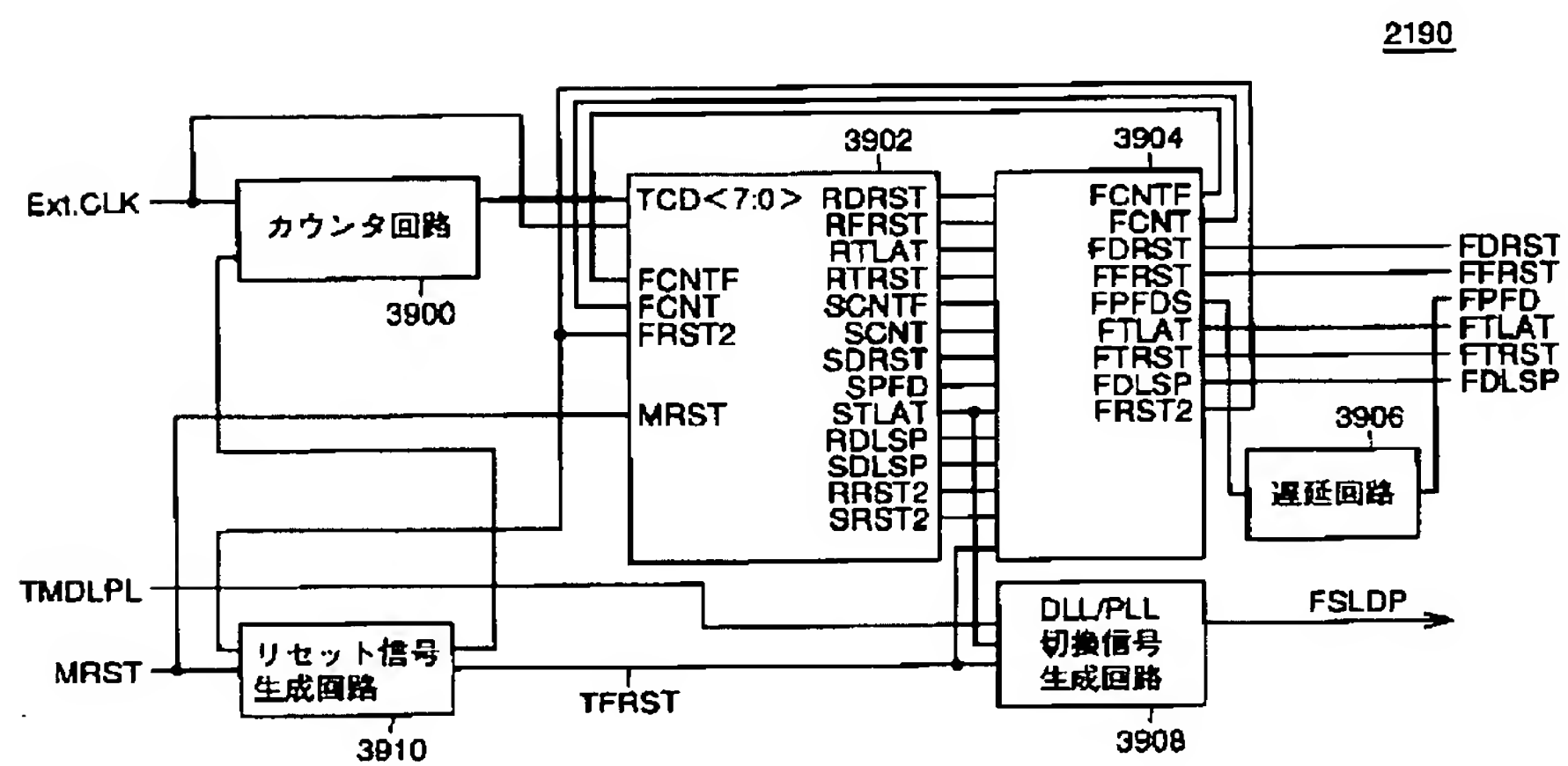
【図38】



【図39】

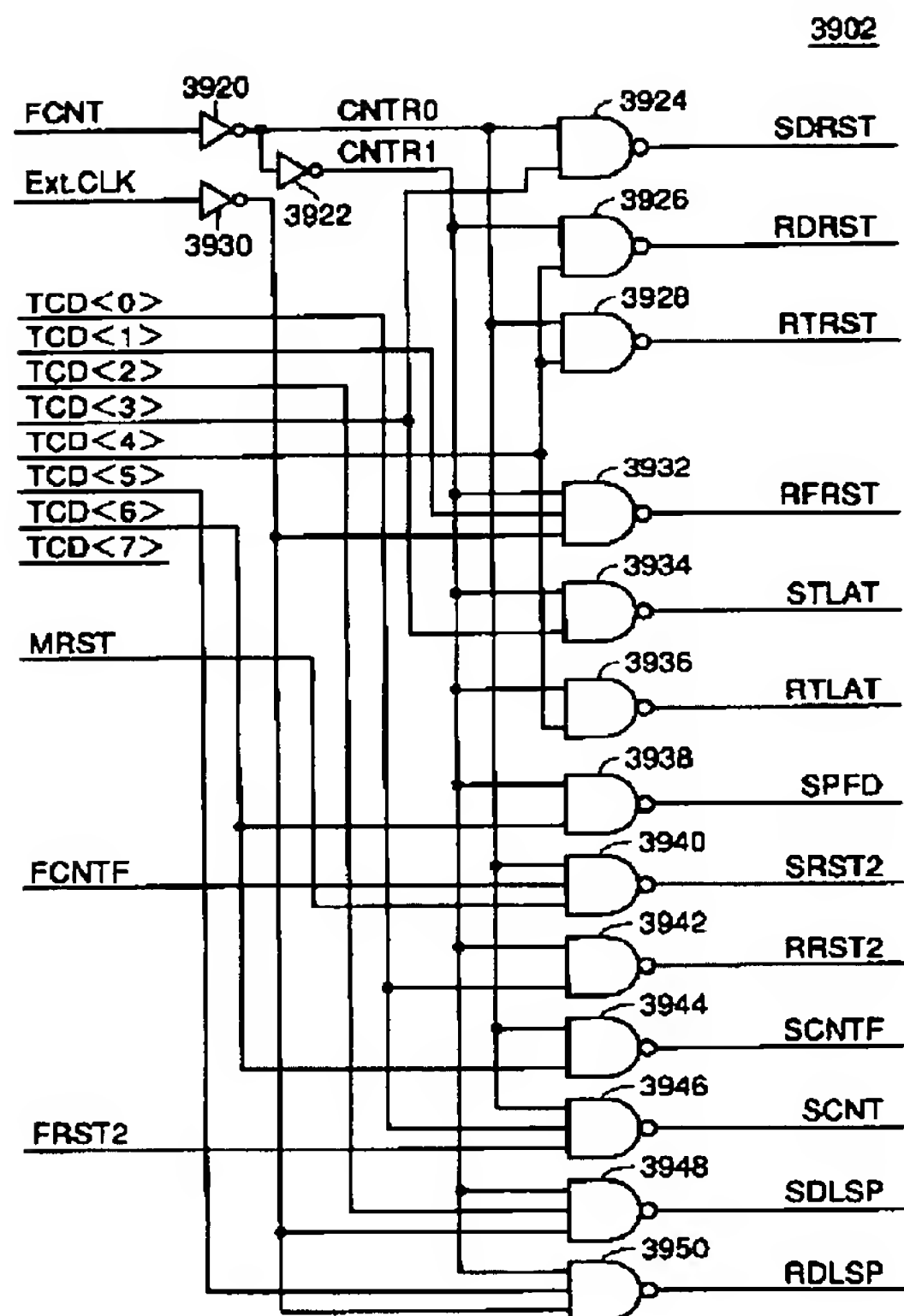


【図40】

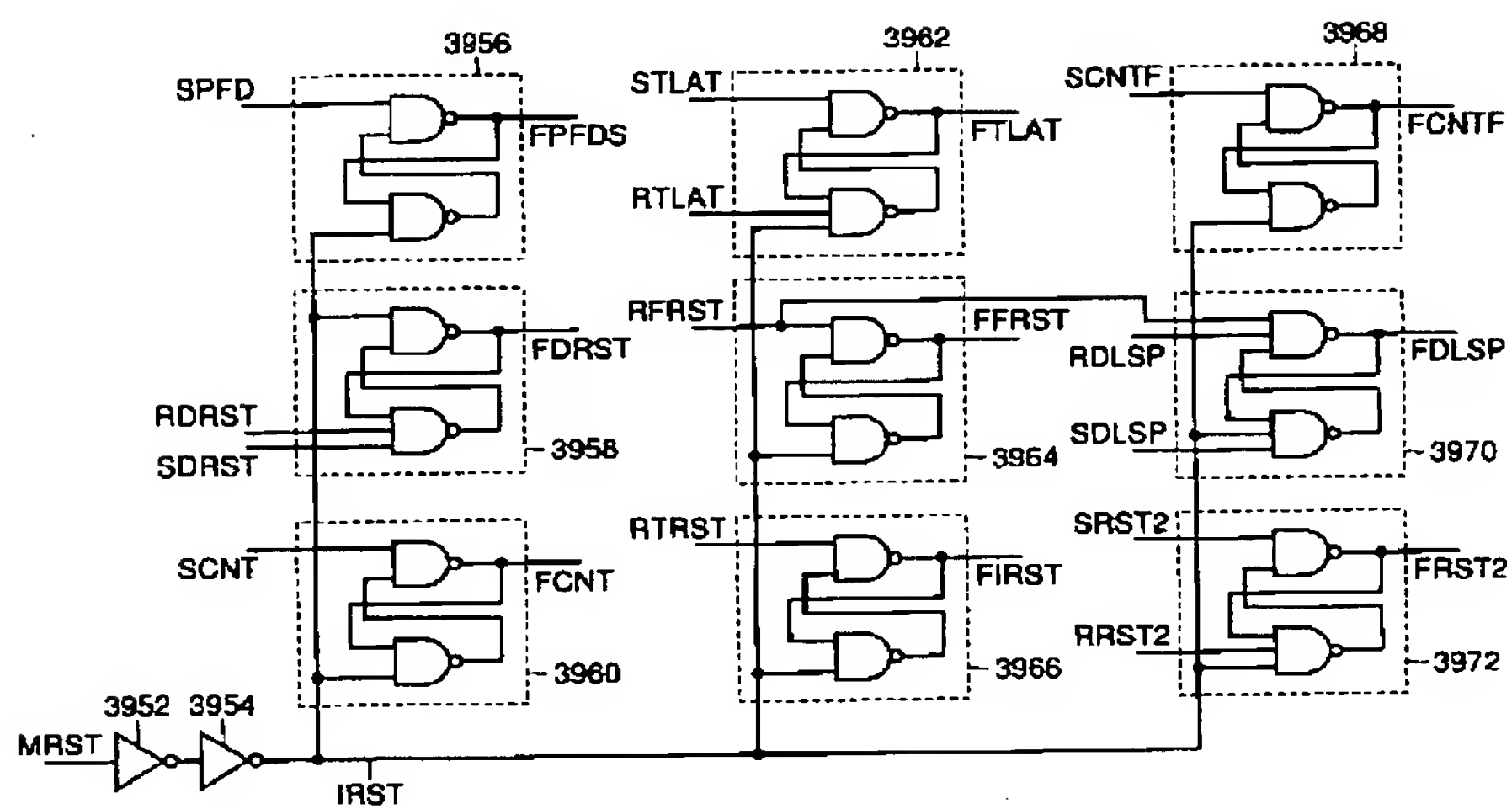




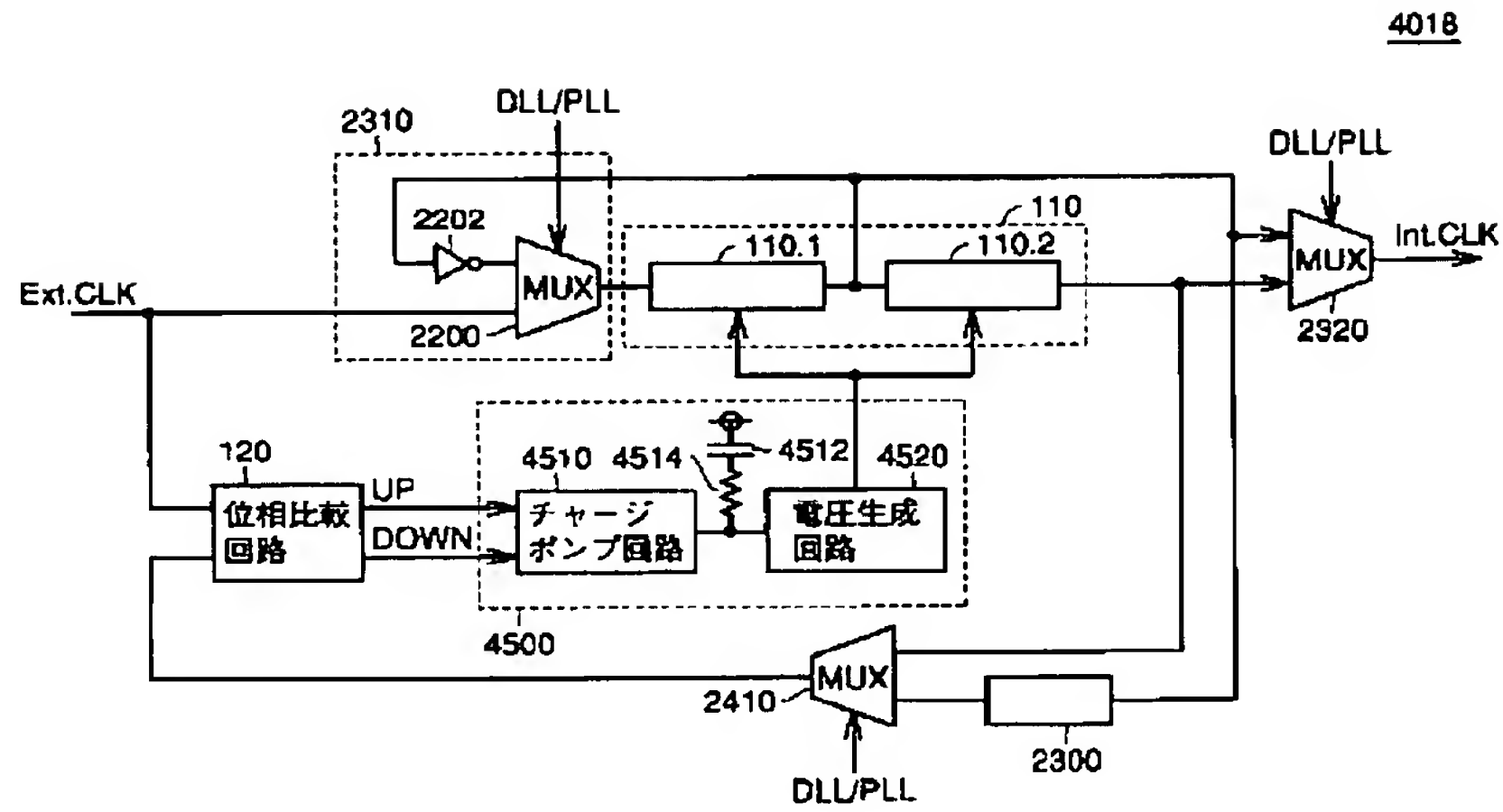
【図41】



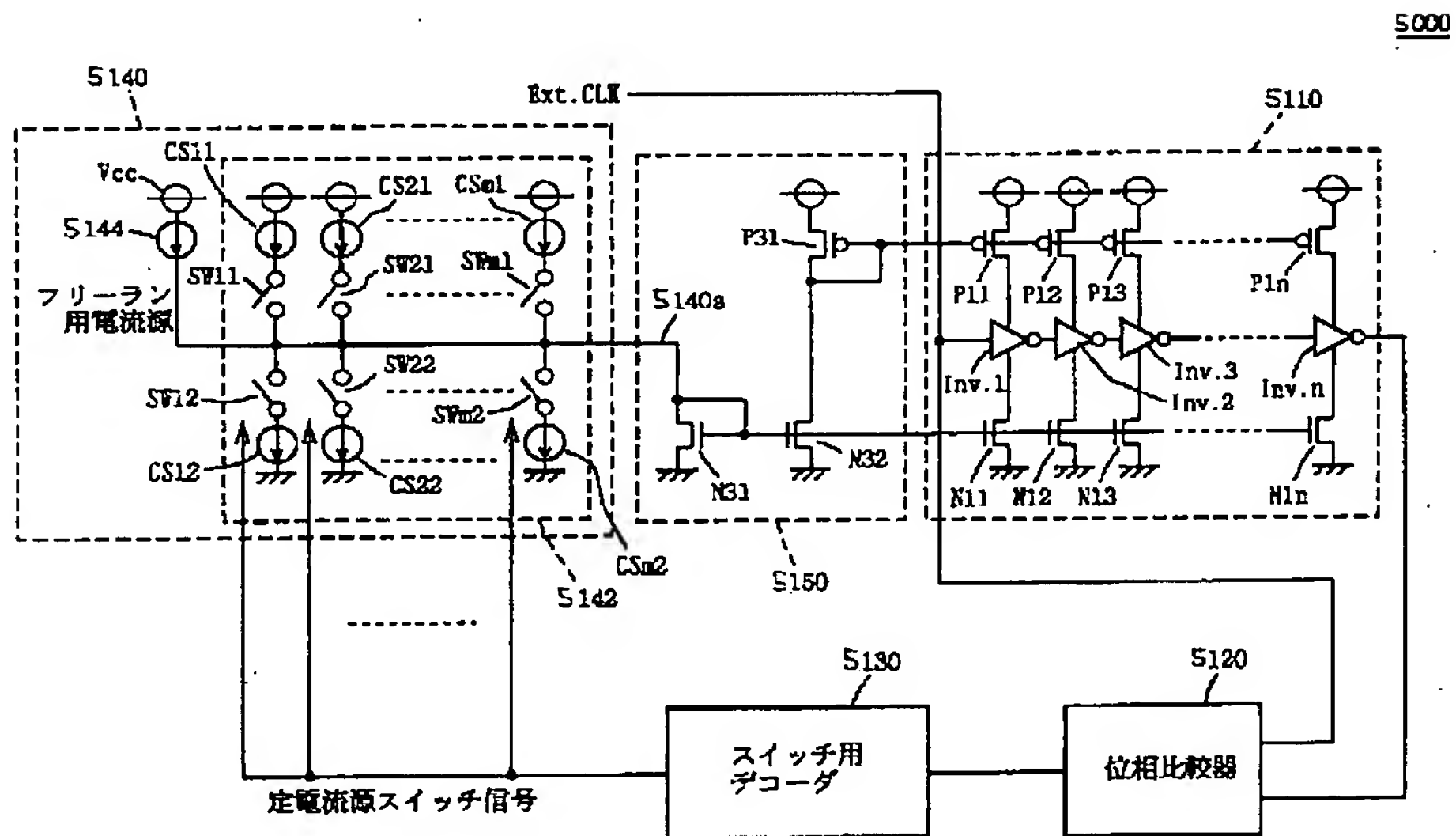
【図42】



【図44】



【図45】



フロントページの続き

Fターム(参考) 5B024 AA07 AA15 BA21 BA23 CA07  
CA27  
5J106 AA03 AA04 CC21 CC52 CC59  
DD10 DD24 DD39 GG14 HH02  
JJ07 KK03 KK39